

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号  
特開2001-307497  
(P2001-307497A)

(43)公開日 平成13年11月2日(2001.11.2)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テ-マ-ト*(参考)
G 1 1 C 29/00	6 0 3	G 1 1 C 29/00	6 0 3 J 5 L 1 0 6
	6 7 1		6 7 1 P

審査請求 未請求 請求項の数16 O L (全 32 頁)

(21)出願番号 特願2000-261307(P2000-261307)  
(22)出願日 平成12年8月30日(2000.8.30)  
(31)優先権主張番号 特願2000-38773(P2000-38773)  
(32)優先日 平成12年2月16日(2000.2.16)  
(33)優先権主張国 日本(J P)

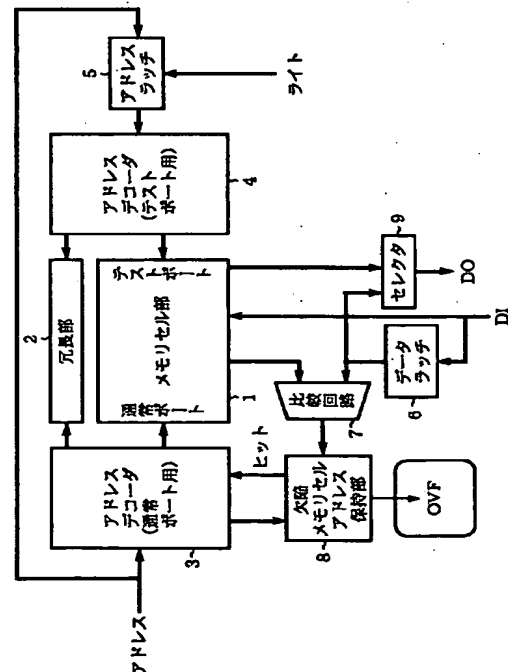
(71)出願人 000006013  
三菱電機株式会社  
東京都千代田区丸の内二丁目2番3号  
(72)発明者 橋爪 毅  
東京都千代田区丸の内二丁目2番3号 三  
菱電機株式会社内  
(74)代理人 100066474  
弁理士 田澤 博昭 (外1名)  
Fターム(参考) 5L106 CC00 CC01 CC14 DD03 EE02  
FF01 GG00

(54)【発明の名称】 半導体集積回路装置

(57)【要約】

【課題】 メモリセル部の故障部分と冗長部とをヒューズの物理的な切り離しによって入れ替えるヒューズ方式のメモリリペア技術では、製造後に物理的に配線等を加工することになるので、コストが増大し、さらには内蔵大規模メモリのテスト自身による製造コストをも増大させるなどの課題があった。

【解決手段】 通常のリード/ライト動作が行われる通常ポートと、テスト専用のテストポートとを有するメモリセル手段と、通常ポートよりメモリセル手段に書き込まれるライトデータを一時保持するデータラッチ手段と、メモリセル手段の通常ポートより書き込まれたデータをテストポートより読み出し、そのリードデータとデータラッチ手段に保持されているライトデータとの一致比較を行う比較手段と、比較手段による一致比較で不一致となった場合に、メモリセル手段に代わってライトデータを保持する冗長手段と、比較手段による一致比較で不一致となった場合に、ライトデータが書き込まれたメモリセル手段の場所を示すアドレスに関する情報を保持するアドレス保持手段とを備えた。



1

## 【特許請求の範囲】

【請求項1】 通常のリード／ライト動作が行われる通常ポートと、テスト専用のテストポートとを有するメモリセル手段と、

通常ポートより前記メモリセル手段に書き込まれるライトデータを一時保持するデータラッチ手段と、

前記メモリセル手段にその通常ポートより書き込まれたデータをテストポートより読み出し、そのリードデータと前記データラッチ手段に保持されている前記ライトデータとの一致比較を行う比較手段と、

前記比較手段による一致比較で不一致となった場合に、前記メモリセル手段に代わって前記ライトデータを保持する冗長手段と、

前記比較手段による一致比較で不一致となった場合に、前記ライトデータが書き込まれた前記メモリセル手段の場所を示すアドレスに関する情報を保持するアドレス保持手段とを備えた半導体集積回路装置。

【請求項2】 データラッチ手段は、それぞれ通常ポートよりメモリセル手段に書き込まれるライトデータを一時保持する複数のデータラッチを有し、

比較手段による一致比較で不一致となった前記メモリセル手段のアドレスへの最初のリード動作時に、前記データラッチ手段の該当するデータラッチに保持されたデータを出力し、

以降、そのアドレスへのライト／リードの動作においては、前記比較手段による一致比較を行うことなく、アドレス保持手段に保持されている該当アドレスに対応するライトデータを保持している冗長手段に直接アクセスする請求項1記載の半導体集積回路装置。

【請求項3】 データラッチ手段は、通常ポートよりメモリセル手段に書き込まれるライトデータを一時保持する1つのデータラッチを有し、

前記メモリセル手段へのライトデータのライト動作時に、比較手段は一致比較を行い、不一致の場合には冗長手段は前記ライトデータを保持し、アドレス保持手段は前記ライトデータが書き込まれた前記メモリセル手段の場所を示すアドレスを保持し、

前記比較手段による以後の一致比較で一致となった場合には、前記アドレス保持手段に保持されている前記アドレスはクリアされるか若しくは前記アドレスがオーバーライト可能な状態となり、前記冗長手段に保持されている前記ライトデータはクリアされるか若しくは前記ライトデータがオーバーライト可能な状態となる請求項1記載の半導体集積回路装置。

【請求項4】 データラッチ手段は、通常ポートよりメモリセル手段に書き込まれるライトデータを一時保持する1つのデータラッチを有し、

前記メモリセル手段へのライトデータのライト動作時に、冗長手段が該ライトデータを保持するとともにアドレス保持手段は前記ライトデータが書き込まれた前記メ

2

モリセル手段の場所を示すアドレスを保持し、比較手段は一致比較を行い、不一致の場合には前記冗長手段はそのまま前記ライトデータを保持し、前記アドレス保持手段は前記アドレスをそのまま保持し、一致の場合には、前記アドレス保持手段に保持されている前記アドレスはクリアされるか若しくは前記アドレスがオーバーライト可能な状態となり、前記冗長手段に保持されている前記ライトデータはクリアされるか若しくは前記ライトデータがオーバーライト可能な状態となる請求項1記載の半導体集積回路装置。

【請求項5】 リード／ライト動作を行う時入力されたアドレスをデコードし、冗長手段のワードラインを活性化するための第1のデコーダと、メモリセル手段のワードラインを活性化するための第2のデコーダとを備えたアドレスデコード手段を備えており、

アドレス保持手段は前記アドレスと同一のアドレスを保持しているか否かを判定し、同一のアドレスを保持しているならば、前記第1のデコーダは前記冗長手段の該当するワードラインを活性化し、そうでないならば、前記第2のデコーダは前記メモリセル手段の該当するワードラインを活性化する請求項1記載の半導体集積回路装置。

【請求項6】 冗長手段がメモリセル手段の代わりをするのに必要な空きがない場合、フルフラグ信号をアサートする請求項1記載の半導体集積回路装置。

【請求項7】 冗長手段がメモリセル手段の代わりをするのに必要な空きがなく、さらに比較手段による一致比較で不一致となった場合、オーバーフロー信号をアサートする請求項1記載の半導体集積回路装置。

【請求項8】 通常のリード／ライト動作が行われる通常ポートと、テスト専用のテストポートとを有するメモリセル手段と、

前記メモリセル手段の通常ポートより書き込まれるライトデータを一時保持するデータラッチ手段と、

前記メモリセル手段にその通常ポートより書き込まれたデータをテストポートより読み出し、そのリードデータとデータラッチに保持されている前記ライトデータとの一致比較をビット毎に行う比較手段と、

前記比較手段による一致比較で不一致となった場合に、前記ライトデータが書き込まれた前記メモリセル手段の場所を示すアドレスと、その不一致検出ビットに関する情報を保持するアドレス／ビット情報保持手段と、

前記不一致が検出されたアドレスに対する以後のリード動作では、前記不一致検出ビットについて、メモリセルから読み出したデータを反転させて出力する手段とを備えた半導体集積回路装置。

【請求項9】 それぞれが個別にアドレスデコーダを有し、ライト動作時同一の内容を有するように同一のライトデータが書き込まれる、互いに構造が異なった3以上の奇数個のメモリセル部と、

3

リード動作が行われ前記複数のアドレスデコーダに同一のアドレスが入力された場合、前記複数のメモリセル部のそのアドレスによって指定された場所から読み出した奇数個のデータの多数決演算を行い、メモリセル手段の欠陥の有無を判定し、多数決の結果をリードデータとして出力する多数決選択手段とを備えた半導体集積回路装置。

【請求項10】 ライト動作時に同一の内容を有するようにライトデータの各ビットが書き込まれる、3以上の奇数個のメモリセルを有するメモリセル手段と、前記メモリセル手段に書き込まれたライトデータに対してリード動作が行われた場合、前記メモリセル手段の前記複数のメモリセルから読み出したデータの各ビットに対応する奇数個のビットデータの多数決演算を行い、前記メモリセル手段の前記複数のメモリセルの欠陥の有無を判定し、多数決の結果をリードデータとして出力する多数決選択手段とを備えた半導体集積回路装置。

【請求項11】 ライト動作時同一の内容を有するように同一のライトデータが書き込まれる複数のメモリセル部と、ライトデータが前記複数のメモリセル部に書き込まれた際に、前記ライトデータのパリティビットを求め保持するパリティビット保持手段と、リード動作時、前記複数のメモリセル部から読み出された複数のデータの一致比較を行い、不一致となった場合には前記パリティビット保持手段に格納されたパリティビットを確認して、正しい方のデータを選択して出力する比較手段とを備えた半導体集積回路装置。

【請求項12】 少なくとも1つのメモリブロックを備えた半導体集積回路装置において、テストパターンとしてアドレスとデータのセットを生成する自己テストパターン生成手段を備えており、前記メモリブロックは、メモリセル手段と、該メモリセル手段に書き込んだライトデータを一旦保持するデータラッチ手段と、前記メモリセル手段に書き込まれたデータを読み出してリードデータと前記ライトデータの一致比較を行う比較手段と、不一致が検出すると前記メモリセル手段の代わりにそのデータを保持する冗長手段と、前記ライトデータが書き込まれた前記メモリセル手段の場所を指定するアドレス情報を保持するアドレス保持手段と、前記メモリセル手段のテスト時に、前記自己テストパターン生成手段からのアドレスを選択して、前記メモリセル手段に送出するアドレス入力セクタと、前記メモリセル手段のテスト時に、前記自己テストパターン生成手段からのデータを選択して、前記メモリセル手段に送出するデータ入力セクタとを備えた半導体集積回路装置。

【請求項13】 それぞれ、メモリセル手段、比較手段、冗長手段、アドレス保持手段、アドレス入力セクタ、データ入力セクタを備えた複数のメモリブロック

4

を有しており、前記複数のメモリブロックをテストする時に、自己テストパターン生成手段はアドレスとデータのセットをテストパターンとして前記複数のメモリブロックに送出し、前記各メモリブロックはその冗長手段が前記メモリセル手段の代わりをするのに必要な空きがない場合フルフラグ信号を出力し、当該装置はさらに前記複数のメモリブロックからのフルフラグ信号の論理和を演算するOR回路を備えた請求項12記載の半導体集積回路装置。

【請求項14】 それぞれ、メモリセル手段、比較手段、冗長手段、アドレス保持手段、アドレス入力セクタ、データ入力セクタを備えた複数のメモリブロックを有しており、前記複数のメモリブロックをテストする時に、自己テストパターン生成手段はアドレスとデータのセットをテストパターンとして前記複数のメモリブロックに送出し、前記各メモリブロックはその冗長手段が前記メモリセル手段の代わりをするのに必要な空きがなくさらに前記比較手段による一致比較で不一致となった場合オーバフロー信号を出力し、当該装置はさらに前記複数のメモリブロックからのオーバフロー信号の論理和を演算するOR回路を備えた請求項12記載の半導体集積回路装置。

【請求項15】 メモリセル手段と、該メモリセル手段に書き込まれるライトデータを一時保持するデータラッチ手段と、前記メモリセル手段に書き込んだデータを読み出して、リードデータと前記データラッチ手段に保持されたライトデータの一致比較を行う比較手段と、前記比較手段による一致比較で不一致となった場合に、前記メモリセル手段に代わって前記ライトデータを保持する冗長手段と、入力されたアドレスを保持するアドレス保持バッファメモリと、前記比較手段による一致比較で不一致となった場合に、前記ライトデータが書き込まれた前記メモリセル手段の場所を示すアドレスに関する情報を保持するアドレス保持手段と、リード/ライトともにディスエーブルである時、前記アドレス保持バッファメモリから前記入力されたアドレスを読み出して、前記メモリセル手段へ送出するアドレス入力セクタとを有しており、リード/ライトともにディスエーブルである時、前記比較手段はイネーブルされる半導体集積回路装置。

【請求項16】 メモリセル手段と、使用頻度が高いデータ列や、処理時間のかかるデータ列を保持する、前記メモリセル手段より容量の少ないデータ列保持手段と、前記データ列保持手段のデータ列が保持されているアドレスを保持しており、前記使用頻度が高いデータ列や、処理時間のかかるデータ列がアクセスされた場合には、

5

そのデータ列が保持されているアドレスを前記データ列保持手段へ送出するアドレス情報保持手段とを備えた半導体集積回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は回路装置内に大規模メモリ回路を搭載した半導体集積回路装置に関するものである。

【0002】

【従来の技術】近年の半導体加工技術の進歩に従い、大規模なメモリセル部が半導体集積回路装置に搭載されるようになってきている。メモリセル部はロジックと比べて集積密度が高く、製造不良が発生しやすい箇所である。従来、このメモリセル部における製造時のメモリセルの欠陥に対する救済方法としては、あらかじめ冗長な領域（冗長部）を確保しておき、製造後に行うテストによりメモリセルが不良となったワード、ビットなどを、あらかじめ用意してある冗長部と入れ替えるリペア技術がある。このリペア技術としては、例えば、レーザーによって物理的にヒューズを切断してメモリセル部の故障部分10を切り離し、それを冗長部と入れ替えるヒューズ方式のメモリリペア技術などがある。なお、従来の半導体集積回路装置におけるメモリセルの欠陥に対する他の救済例について開示された文献としては特開平4-372798号公報がある。

【0003】

【発明が解決しようとする課題】従来の半導体集積回路装置は以上のように構成されているので、メモリセル部の故障部分と冗長部とをヒューズの物理的な切り離しによって入れ替えるヒューズ方式のメモリリペア技術では、製造後に物理的に配線等を加工することになるので、コストが増大し、さらには内蔵大規模メモリのテスト自身による製造コストをも増大させるなどの課題があった。30

【0004】この発明は上記のような課題を解決するためになされたもので、コストの増大を伴わずに、メモリセル部の欠陥を救済することが可能な半導体集積回路装置を得ることを目的とする。

【0005】

【課題を解決するための手段】この発明に係る半導体集積回路装置は、通常のリード／ライト動作が行われる通常ポートと、テスト専用のテストポートとを有するメモリセル手段と、通常ポートよりメモリセル手段に書き込まれるライトデータを一時保持するデータラッチ手段と、メモリセル手段にその通常ポートより書き込まれたデータをテストポートより読み出し、そのリードデータとデータラッチ手段に保持されているライトデータとの一致比較を行う比較手段と、比較手段による一致比較で不一致となった場合に、メモリセル手段に代わってライトデータを保持する冗長手段と、比較手段による一致比50

6

較で不一致となった場合に、ライトデータが書き込まれたメモリセル手段の場所を示すアドレスに関する情報を保持するアドレス保持手段とを備えるものである。

【0006】この発明に係る半導体集積回路装置は、データラッチ手段が、それぞれ通常ポートよりメモリセル手段に書き込まれるライトデータを一時保持する複数のデータラッチを有し、比較手段による一致比較で不一致となったメモリセル手段のアドレスへの最初のリード動作時に、データラッチ手段の該当するデータラッチに保持されたデータを出力し、以降、そのアドレスへのライト／リードの動作においては、比較手段による一致比較を行うことなく、アドレス保持手段に保持されている該当アドレスに対応するライトデータを保持している冗長手段に直接アクセスするものである。

【0007】この発明に係る半導体集積回路装置は、データラッチ手段が、通常ポートよりメモリセル手段に書き込まれるライトデータを一時保持する1つのデータラッチを有し、メモリセル手段へのライトデータのライト動作時に、比較手段は一致比較を行い、不一致の場合には冗長手段はライトデータを保持し、アドレス保持手段はライトデータが書き込まれたメモリセル手段の場所を示すアドレスを保持し、比較手段による以後の一致比較で一致となった場合には、アドレス保持手段に保持されているアドレスはクリアされるか若しくはアドレスがオーバーライト可能な状態となり、冗長手段に保持されているライトデータはクリアされるか若しくはライトデータがオーバーライト可能な状態となるものである。

【0008】この発明に係る半導体集積回路装置は、データラッチ手段が、通常ポートよりメモリセル手段に書き込まれるライトデータを一時保持する1つのデータラッチを有し、メモリセル手段へのライトデータのライト動作時に、冗長手段が該ライトデータを保持するとともにアドレス保持手段はライトデータが書き込まれたメモリセル手段の場所を示すアドレスを保持し、比較手段は一致比較を行い、不一致の場合には冗長手段はそのままライトデータを保持し、アドレス保持手段はアドレスをそのまま保持し、一致の場合には、アドレス保持手段に保持されているアドレスはクリアされるか若しくはアドレスがオーバーライト可能な状態となり、冗長手段に保持されているライトデータはクリアされるか若しくはライトデータがオーバーライト可能な状態となるものである。

【0009】この発明に係る半導体集積回路装置は、リード／ライト動作を行う時入力されたアドレスをデコードし、冗長手段のワードラインを活性化するための第1のデコーダと、メモリセル手段のワードラインを活性化するための第2のデコーダとを備えたアドレスデコード手段を備えており、アドレス保持手段はアドレスと同一のアドレスを保持しているか否かを判定し、同一のアドレスを保持しているならば、第1のデコーダは冗長手段の該当するワードラインを活性化し、そうでないのなら

7

ば、第2のデコーダはメモリセル手段の該当するワードラインを活性化するものである。

【0010】この発明に係る半導体集積回路装置は、冗長手段がメモリセル手段の代わりをするのに必要な空きがない場合、フルフラグ信号をアサートするものである。

【0011】この発明に係る半導体集積回路装置は、冗長手段がメモリセル手段の代わりをするのに必要な空きがなく、さらに、比較手段による一致比較で不一致となった場合、オーバーフロー信号をアサートするものである。

【0012】この発明に係る半導体集積回路装置は、通常のリード／ライト動作が行われる通常ポートと、テスト専用のテストポートとを有するメモリセル手段と、メモリセル手段の通常ポートより書き込まれるライトデータを一時保持するデータラッチ手段と、メモリセル手段にその通常ポートより書き込まれたデータをテストポートより読み出し、そのリードデータとデータラッチに保持されているライトデータとの一致比較をビット毎に行う比較手段と、比較手段による一致比較で不一致となった場合に、ライトデータが書き込まれたメモリセル手段の場所を示すアドレスと、その不一致検出ビットに関する情報を保持するアドレス／ビット情報保持手段と、不一致が検出されたアドレスに対する以後のリード動作では、不一致検出ビットについて、メモリセルから読み出したデータを反転させて出力する手段とを備えるものである。

【0013】この発明に係る半導体集積回路装置は、それぞれが個別にアドレスデコーダを有し、ライト動作時同一の内容を有するように同一のライトデータが書き込まれる、互いに構造が異なった3以上の奇数個のメモリセル部と、リード動作が行われ複数のアドレスデコーダに同一のアドレスが入力された場合、複数のメモリセル部のそのアドレスによって指定された場所から読み出した奇数個のデータの多数決演算を行い、メモリセル手段の欠陥の有無を判定し、多数決の結果をリードデータとして出力する多数決選択手段とを備えるものである。

【0014】この発明に係る半導体集積回路装置は、ライト動作時に同一の内容を有するようにライトデータの各ビットが書き込まれる、3以上の奇数個のメモリセルを有するメモリセル手段と、メモリセル手段に書き込まれたライトデータに対してリード動作が行われた場合、メモリセル手段の複数のメモリセルから読み出したデータの各ビットに対応する奇数個のビットデータの多数決演算を行い、メモリセル手段の複数のメモリセルの欠陥の有無を判定し、多数決の結果をリードデータとして出力する多数決選択手段とを備えるものである。

【0015】この発明に係る半導体集積回路装置は、ライト動作時同一の内容を有するように同一のライトデータが書き込まれる複数のメモリセル部と、ライトデータ

8

が複数のメモリセル部に書き込まれた際に、ライトデータのパリティビットを求め保持するパリティビット保持手段と、リード動作時、複数のメモリセル部から読み出された複数のデータの一致比較を行い、不一致となった場合にはパリティビット保持手段に格納されたパリティビットを確認して、正しい方のデータを選択して出力する比較手段とを備えるものである。

【0016】この発明に係る半導体集積回路装置は、少なくとも1つのメモリブロックを備えた半導体集積回路装置において、テストパターンとしてアドレスとデータのセットを生成する自己テストパターン生成手段を備えており、メモリブロックは、メモリセル手段と、該メモリセル手段に書き込んだライトデータを一旦保持するデータラッチ手段と、メモリセル手段に書き込まれたデータを読み出してリードデータとライトデータの一致比較を行う比較手段と、不一致が検出するとメモリセル手段の代わりにそのデータを保持する冗長手段と、ライトデータが書き込まれたメモリセル手段の場所を指定するアドレス情報を保持するアドレス保持手段と、メモリセル手段のテスト時に、自己テストパターン生成手段からのアドレスを選択して、メモリセル手段に送出するアドレス入力セクタと、メモリセル手段のテスト時に、自己テストパターン生成手段からのデータを選択して、メモリセル手段に送出するデータ入力セクタとを備えるものである。

【0017】この発明に係る半導体集積回路装置は、それぞれ、メモリセル手段、比較手段、冗長手段、アドレス保持手段、アドレス入力セクタ、データ入力セクタを備えた複数のメモリブロックを有しており、複数のメモリブロックをテストする時に、自己テストパターン生成手段はアドレスとデータのセットをテストパターンとして複数のメモリブロックに送出し、各メモリブロックはその冗長手段がメモリセル手段の代わりをするのに必要な空きがない場合フルフラグ信号を出力し、当該装置はさらに複数のメモリブロックからのフルフラグ信号の論理和を演算するOR回路を備えるものである。

【0018】この発明に係る半導体集積回路装置は、それぞれ、メモリセル手段、比較手段、冗長手段、アドレス保持手段、アドレス入力セクタ、データ入力セクタを備えた複数のメモリブロックを有しており、複数のメモリブロックをテストする時に、自己テストパターン生成手段はアドレスとデータのセットをテストパターンとして複数のメモリブロックに送出し、各メモリブロックはその冗長手段がメモリセル手段の代わりをするのに必要な空きがなくさらに比較手段による一致比較で不一致となった場合オーバーフロー信号を出力し、当該装置はさらに前記複数のメモリブロックからのオーバーフロー信号の論理和を演算するOR回路を備えるものである。

【0019】この発明に係る半導体集積回路装置は、メモリセル手段と、該メモリセル手段に書き込まれるライ

10

20

30

40

50

9

トデータを一時保持するデータラッチ手段と、メモリセル手段に書き込んだデータを読み出して、リードデータとデータラッチ手段に保持されたライトデータの一致比較を行う比較手段と、比較手段による一致比較で不一致となった場合に、メモリセル手段に代わってライトデータを保持する冗長手段と、入力されたアドレスを保持するアドレス保持バッファメモリと、比較手段による一致比較で不一致となった場合に、ライトデータが書き込まれたメモリセル手段の場所を示すアドレスに関する情報を保持するアドレス保持手段と、リード/ライトともに

【0020】この発明に係る半導体集積回路装置は、メモリセル手段と、使用頻度が高いデータ列や、処理時間のかかるデータ列を保持する、メモリセル手段より容量の少ないデータ列保持手段と、データ列保持手段のデータ列が保持されているアドレスを保持しており、使用頻度が高いデータ列や、処理時間のかかるデータ列がアクセスされた場合には、そのデータ列が保持されているアドレスをデータ列保持手段へ送出するアドレス情報保持手段とを備えるものである。

【0021】

【発明の実施の形態】以下、この発明の実施の一形態を説明する。

実施の形態 1. 図 1 はこの発明の実施の形態 1 による半導体集積回路装置に搭載されたメモリブロックの構成を示すブロック図である。図において、1 は本来必要な量のメモリセルが配列された RAM のメモリセル部であり、通常のリード/ライト動作に用いられるリード/ライトポート（通常ポート）と、テスト専用に行うためのリードポート（テストポート）の 2 つのポートを備えている。2 はこのメモリセル部 1 内のメモリセルの一部に欠陥があった場合に、その不良部分の機能を補うために用意された冗長部であり、通常のリード/ライト動作に用いられるリード/ライトポート（通常ポート）と、テスト専用に行うためのリードポート（テストポート）の 2 つのポートを備えている。3 はメモリセル部 1 および冗長部 2 の通常ポート用のアドレスデコーダ、4 はテストポート用のアドレスデコーダであり、5 はテスト用のアドレスデコーダ 4 へのアドレスを一時的に保持するアドレスラッチである。

【0022】6 はデータ入力端 DI より入力されるデータを一時的に保持するデータラッチであり、7 はこのデータラッチ 6 に保持された書き込みデータと、1 周期後にメモリセル部 1 のテストポートから読み出されたデータとの比較を行う比較回路である。8 はこの比較回路 7 で不一致が検出された場合に、1 周期前にアドレスデ

10

ーダ 3 に印加された入力アドレスを保持する欠陥メモリセルアドレス保持部であり、メモリセル部 1 に欠陥が多くて、準備したアドレスレジスタでは対応しきれない場合には、OVF 信号を発生させるようになっている。9 はメモリセル部 1 の通常ポートから読み出されたデータとデータラッチ 6 に保持されているデータの一方を選択し、それをデータ出力端 DO より出力するセクタである。なお、冗長部 2 は複数のメモリセル（図示せず）を有し、データラッチ 6 は複数のラッチ（図示せず）を有し、欠陥メモリセルアドレス保持部 8 は複数の欠陥メモリセルアドレス保持レジスタ（図示せず）を有している。

【0023】次に動作について説明する。動作において、アドレスは、通常ポート用のアドレスデコーダ 3 に直接入力されるとともに、テストポート用のアドレスデコーダ 4 の前に配置されたアドレスラッチ 5 にも入力される。ライト動作時には、アドレスラッチ 5 はメモリブロックの外部から印加されたライト信号に応答して入力されたアドレスを一時的に保持する。従って、メモリセル部 1 のテストポートでは、通常ポートのライトアクセスの次の周期にデータの読み出しが行われる。このように、テストポートからの読み出しは、通常ポートのライトアクセスの次の周期に行われるので、アドレスデコーダ 4 によるテストポート用のアドレスデコードは、通常ポートのライト動作の後だけでもよく、アドレスラッチ 5 でのアドレス保持を、通常ポートのライトアクセスの次の周期のみに行うようにしてもよい。

【0024】ライト動作時、データ入力端 DI より入力されたデータはデータラッチ 6 に一時的に保持されると同時に、メモリセル部 1 の通常ポートにも入力されて、入力アドレスで指定されるメモリセルに書き込まれる。データラッチ 6 に保持されたデータは比較回路 7 によって、1 周期後にメモリセル部 1 のテストポートより読み出されたデータと比較され、一致/不一致の判定が行われる。両者が一致した場合、メモリセル部 1 の該当アドレスに対するライト/リードは正常に行われたので、以降、そのアドレスに対するアクセスはメモリセル部 1 の該当アドレスを用いて行う。一方、両者が不一致の場合には、メモリセル部 1 のそのアドレス部分に欠陥メモリセルが存在することになるので、当該アドレスを欠陥メモリセルアドレスとして欠陥メモリセルアドレス保持部 8 に保持し、以降、そのアドレスに対するアクセスは冗長部 2 を用いて行う。

【0025】ライト/リード動作が行われると、欠陥メモリセルアドレス保持部 8 は、通常ポート用のアドレスデコーダ 3 に入力されたアドレスと等しい欠陥メモリセルアドレスを保持しているか否かを判断し、欠陥メモリセルアドレスであれば、欠陥メモリセルアドレス保持部 8 はヒット信号をアドレスデコーダ 3 へ送出し、アドレスデコーダ 3 にメモリセル部 1 の該当アドレスではな

11

く、冗長部2に対してライト／リード動作を行わせる。なお、該当アドレスに最初に書き込んだデータはデータラッチ6にも保持してあるので、最初のリードアクセスはこのデータラッチ6に保持されているデータがデータ出力端DOより出力される。

【0026】前述のように、冗長部2、データラッチ6、欠陥メモリセルアドレス保持部8は、メモリセル部1に存在するかもしれない複数の欠陥メモリセルに対処するために、それぞれ複数のデータ保持要素を有している。また、冗長部2を使用するアドレスに対するライト動作が行われた際には、メモリセル部1のそのアドレスには不良個所が存在する領域であることが既知であるため、データの一致比較を行わないように制御することも可能である。メモリセル部1に欠陥が多くて欠陥メモリセルアドレス保持部8が準備したアドレス（即ちアドレスレジスタ）では対応しきれない場合には、欠陥メモリセルアドレス保持部8はOVF信号を出力し、半導体集積回路装置に対してメモリ動作異常が発生したことを通知する。

【0027】図2はこの実施の形態1におけるメモリブロックの動作を周期毎に説明するための説明図である。なお、この図2においては、説明の簡単化のために、冗長部2は2つのメモリセル、データラッチ6は2つのラッチ、欠陥メモリセルアドレス保持部8は2つのアドレスレジスタを有していると仮定する。以下、この図2に従って、その動作を詳細に説明する。まず、1周期目において、メモリセル部1の通常ポートにアドレスAに対する書き込みデータ（ライトデータ）が入力される。次に2周期目において、前の周期（1周期目）に通常ポートに入力されたアドレスAに対するライトデータがデータラッチ6の一方のラッチ（1）に保持され、テストポートから読み出されたメモリセル部1のアドレスAの読み出しデータ（リードデータ）と、比較回路7にて一致比較される。一致比較の結果、不一致が検出されると、欠陥メモリセルアドレス保持部8の一方のアドレスレジスタ（1）にはアドレスAが保持される。一方、この2周期目には、通常ポートにアドレスBに対するライトデータの入力も行われる。

【0028】次に3周期目において、前の周期（2周期目）に通常ポートに入力されたアドレスBに対するライトデータがデータラッチ6に保持される。この場合、第1のラッチ（1）には欠陥メモリセルアドレスレジスタ（1）に保持されたアドレスAに対する最初のライトデータが保持されているので、アドレスBに対するライトデータは、代わりにデータラッチ6の他方のラッチ

（2）に保持される。この第2のラッチ（2）に保持されたアドレスBに対するライトデータは、比較回路7でテストポートから読み出されたメモリセル部1のアドレスBのリードデータと一致比較される。一致比較の結果が一致であった場合、メモリセル部1のアドレスBに書

12

き込まれたデータが正常に読み出せたので、このデータの読み出しはメモリセル部1のデータが使用される。すなわち、アドレスBは欠陥メモリセルアドレス保持部8に保持されず、アドレスBに関するデータも冗長部2に保持されない。また、第2のラッチ（2）はアドレスBに関するデータを保持しておく必要がないので、次の周期には他のデータでオーバーライト可能となる。一方、この3周期目においては、通常ポートにアドレスCに対するライトデータの入力も行われる。

【0029】次に4周期目において、前の周期（3周期目）に通常ポートに入力されたアドレスCに対するライトデータがデータラッチ6に保持される。この場合、第1のラッチ（1）には欠陥メモリセルアドレスレジスタ（1）に保持されたアドレスAに対する最初のライトデータが保持され、第2のラッチ（2）はオーバーライト可能となっているので、このアドレスCに対するライトデータは第2のラッチ（2）に保持される。このラッチ（2）に保持されたアドレスCに対するライトデータは、比較回路7でテストポートから読み出されたメモリセル部1のアドレスCのリードデータと一致比較される。一致比較の結果、不一致であれば、そのアドレスCが欠陥メモリセルアドレス保持部8の第2のアドレスレジスタ（2）に保持される。一方、メモリセル部1の通常ポートはこの4周期目において、アドレスAに対するリード動作を行う。このアドレスAは欠陥メモリセルアドレスレジスタ（1）に保持されているアドレスと一致し、かつ最初のライトデータに対するリードアクセスであるため、セクタ9は第1のラッチ（1）に保持されているデータをアドレスAに対するリードデータとして、データ出力端DOより出力する。

【0030】次に5周期目において、アドレスAに対する2回目のライト動作が通常ポートに対して行われる。ここで、アドレスAは欠陥メモリセルアドレスとして第1の欠陥メモリセルアドレスレジスタ（1）に保持されているので、このライトアクセスはメモリセル部1の該当アドレスではなく、冗長部2の一方のメモリセル（1）に対して実行される。このアドレスAに対するライトデータは冗長部2の第1のメモリセル（1）に書き込まれているので、第1のラッチ（1）に保持されているアドレスAに対する前のライトデータはクリアされる。次に6周期目において、アドレスDに対するライトデータが通常ポートに入力される。

【0031】次に7周期目において、前の周期（6周期目）に通常ポートに入力されたアドレスDに対するライトデータが第1のラッチ（1）に保持される。このライトデータは比較回路7において、テストポートから読み出されたメモリセル部1のアドレスDのリードデータと一致比較される。一致比較の結果が一致であれば、メモリセル部1のアドレスDに書き込まれているデータが正常に読み出せたことになるので、このデータの読み出し

13

はメモリセル部1のデータが使用される。すなわち、アドレスDは欠陥メモリセルアドレス保持部8に保持せず、このアドレスDに関するデータも冗長部2に保持されない。したがって、第1のラッチ(1)はアドレスDに関するデータを保持しておく必要がないので、次の周期には他のデータでオーバーライト可能となる。一方、この7周期目には、通常ポートを介してアドレスBに対するリード動作を行う。このアドレスBは欠陥メモリセルアドレスとして欠陥メモリセルアドレス保持部8に保持されていないので、メモリセル部1を使用した通常の読み出し動作が実行される。

【0032】次に8周期目において、アドレスCに対するリード動作が通常ポートに対して行われる。このアドレスCは第2の欠陥メモリセルアドレスレジスタ(2)に保持されているアドレスと一致し、かつアドレスCに最初に書き込まれたライトデータに対するリードアクセスであるため、セクタ9は第2のラッチ(2)に保持されているデータをアドレスCに対するリードデータとして、データ出力端DOより出力する。次に9周期目において、アドレスAに対するリード動作が通常ポートに対して行われるが、アドレスAは第1の欠陥メモリセルアドレスレジスタ(1)に保持されているため、冗長部2の第1のメモリセル(1)に保持されているこのアドレスAに対するライトデータが、セクタ9を介してデータ出力端DOより出力される。次に10周期目において、アドレスCに対する2回目のライト動作が通常ポートに対して行われる。このアドレスCは第2の欠陥メモリセルアドレスレジスタ(2)に欠陥メモリセルアドレスとして保持されているアドレスと一致するので、冗長部2の第2のメモリセル(2)に対してライトデータが書き込まれる。

【0033】図3は上記図2に示すメモリブロックにおけるライト動作の手順を示したフローチャートであり、以下、この図3を用いて詳細に説明する。ライト動作が行われる場合、まずステップST1において、そのライトアクセスが行われるアドレスが欠陥メモリセルアドレス保持部8に保持されている欠陥メモリセルアドレスに該当するか否かを確認する。その結果、該当しない場合にはステップST2において、そのライトデータをデータラッチ6に保持するとともに、そのライトデータについて、ステップST3によるメモリセル部1の通常ポートへのライト、およびステップST4によるテストポートからのリードを行う。次にステップST5において、比較回路7によるデータラッチ6に保持されたデータとテストポートから読み出されたデータとの一致比較を行い、ステップST6でその一致/不一致を判定する。判定の結果、不一致であればステップST7に分岐して、書き込み対象のアドレスを欠陥メモリセルアドレス保持部8に欠陥メモリセルアドレスとして保持してから、また一致であればそのまま、このライト動作を終了する。

14

【0034】一方、ステップST1にて、ライトアクセスが行われるアドレスが、欠陥メモリセルアドレス保持部8に保持されている欠陥メモリセルアドレスに該当することが確認された場合、処理はステップST8に進む。ステップST8において、ライトデータは比較回路7による一致比較を行うことなしに冗長部2に書き込まれ、このライト動作を終了する。

【0035】なお、この実施の形態1によれば、ライトアクセスが行われるアドレスが、欠陥メモリセルアドレス保持部8に保持されている欠陥メモリセルアドレスに該当する場合、冗長部2に対してデータのライト/リード動作が行われるので、メモリセル部1へのライト/リード動作を停止することにより、消費電力の削減も併せて実現でき、また、比較回路7によるデータの一致比較動作も行わずにすむため、さらなる消費電力の低減が可能となる。

【0036】以上のように、この実施の形態1によれば、メモリセル部1に不良個所があっても、冗長部2によりその機能を置き換えることが可能なので、欠陥によって通常不良品となる半導体集積回路装置を救済することができ、歩留りを向上させることができ、また、テストポートと、比較回路7と欠陥メモリセルアドレス保持部8を備えることによって、動作中にテストを実施してソフトウェア的に置き換え可能となるので、通常、メモリセルに欠陥のある半導体集積回路装置の救済の際に行われている、出荷前のテストにて不良個所を特定したり、レーザトリミングなどによりハードワイヤードに変更を行う処理が不要となるため、テストコストの削減が可能になるなどの効果が得られる。

【0037】また、故障検出はライトデータとリードデータの一致比較により行っているので、故障か否かの判断は保持データに依存する。即ち、保持データによっては不良個所も擬似的に正常に動作する。例えば“0”固定故障の個所に“0”を書き込んだ場合には置き換え不要である。したがって、このようなデータは冗長部2に保持する必要がなく、その分冗長部2の記憶容量を削減することができチップコストの削減が可能となる。また、未使用のアドレスについて冗長部2に置き換えることが不要であり、実際に使用するアドレス(領域)に対してのみ救済を行えばよいので、チップコストを削減することができる。さらに、一旦不一致を検出したら、それ以降該当アドレスに対する一致比較を行う必要がないので、処理時間を短縮できる上に、比較回路7の動作率を低下させ消費電力の低減が可能になる。また、欠陥メモリセルが多くて欠陥メモリセルアドレス保持部8および冗長部2が対応できなくなった場合には、欠陥メモリセルアドレス保持部8はOVF信号を出力するので、データの保持を他のメモリなどへ振り分けてエラー処理などを行うことができるので、システムの誤動作を回避することが可能になる。



15

【0038】実施の形態2。図4はこの発明の実施の形態2による半導体集積回路装置に搭載されたメモリブロックの構成を示すブロック図であり、図1の実施の形態1によるものと同一または相当する部分には同一符号を付してその説明を省略する。なお、この実施の形態2におけるデータラッチ6は一つのラッチのみで構成されている点で、図1に示す実施の形態1のそれとは異なっている。

【0039】ここで、基本的な動作は実施の形態1の場合と同様であるため、重複する説明は省略する。ライト動作時、データ入力端D1より入力されたライトデータはデータラッチ6に一旦保持されるとともに、メモリセル部1の通常ポートにも入力される。データラッチ6に保持されたデータと1周期後にメモリセル部1のテストポートより読み出されたデータは比較回路7にて比較され、不一致の場合には比較回路7は不一致を示すヒット信号を出力して欠陥メモリセルアドレス保持部8にそのアドレスを保持させるとともにデータラッチ6の保持しているデータを冗長部2に書き込む。

【0040】図5はこの実施の形態2におけるメモリブロックの動作を周期毎に説明するための説明図である。なお、この図5においては、説明の簡単化のために、冗長部2は2つのメモリセルを有し、欠陥メモリセルアドレス保持部8は2つのアドレスレジスタを有していると仮定する。以下、この図5に従って、その動作を詳細に説明する。まず、1周期目において、メモリセル部1の通常ポートにアドレスAに対するライトデータが入力される。次に2周期目において、前の周期（1周期目）に通常ポートに入力されたアドレスAに対するライトデータがデータラッチ6に保持され、テストポートから読み出されたメモリセル部1のアドレスAのリードデータと比較回路7で一致比較される。一致比較の結果、不一致が検出されると、ヒット信号を欠陥メモリセルアドレス保持部8および冗長部2へ送出する。その結果、第1の欠陥メモリセルアドレスレジスタ（1）はアドレスAを保持し、冗長部2の第1のメモリセル（1）はデータラッチ6に一旦保持されたアドレスAに対するライトデータを保持する。一方、この2周期目には、通常ポートにアドレスBに対するライトデータの入力も行われる。

【0041】次に3周期目において、前の周期（2周期目）に通常ポートに入力されたアドレスBに対するライトデータがデータラッチ6に保持される。このデータラッチ6の保持するアドレスBに対するライトデータは、テストポートから読み出されたメモリセル部1のアドレスBのリードデータと比較回路7で一致比較される。一致比較の結果が一致であった場合、メモリセル部1のアドレスBに書き込まれたデータが正常に読み出されたので、このデータの読み出しはメモリセル部1のデータが使用される。すなわち、アドレスBは欠陥メモリセルアドレス保持部8に保持されず、このアドレスBに関する

16

データも冗長部2に保持されない。一方、この3周期目では、通常ポートにアドレスCに対するライトデータの入力も行われる。

【0042】次に4周期目において、前の周期（3周期目）に通常ポートに入力されたアドレスCに対するライトデータがデータラッチ6に保持される。このデータラッチ6の保持するアドレスCに対するライトデータは、テストポートから読み出されたメモリセル部1のアドレスCのリードデータと比較回路7で一致比較される。一致比較の結果が不一致であれば、ヒット信号を欠陥メモリセルアドレス保持部8および冗長部2へ送出する。その結果、第2の欠陥メモリセルアドレスレジスタ（2）がアドレスCを保持し、冗長部2の第2のメモリセル（2）はデータラッチ6に保持されていたアドレスCに対するライトデータを保持する。一方、メモリセル部1の通常ポートはこの4周期目において、アドレスAに対するリード動作を行う。このアドレスAは第1の欠陥メモリセルアドレスレジスタ（1）に保持されているアドレスと一致しているので、冗長部2の第1のメモリセル（1）に保持されているデータをアドレスAに対するリードデータとして、データ出力端DOより出力する。

【0043】次に5周期目において、アドレスAに対する2回目のライト動作が通常ポートに対して行われる。ここで、アドレスAは第1の欠陥メモリセルアドレスレジスタ（1）に保持されており、この第1の欠陥メモリセルアドレスレジスタ（1）に保持されたアドレスに対するライト動作によって、第1の欠陥メモリセルアドレスレジスタ（1）および冗長部2の第1のメモリセル（1）の保持データは一旦クリアされるか、若しくは第1の欠陥メモリセルアドレスレジスタ（1）および冗長部2の第1のメモリセル（1）は新しいデータがオーバーライト可能な状態にされる。

【0044】次に6周期目において、前の周期（5周期目）に通常ポートに入力されたアドレスAに対するライトデータがデータラッチ6に保持され、テストポートから読み出されたメモリセル部1のアドレスAのリードデータと比較回路7で一致比較される。一致比較の結果、一致が検出されれば、メモリセル部1のアドレスAに書き込まれたデータは正常に読み出されたことになるので、このデータの読み出しはメモリセル部1のデータが使用され、アドレスAは欠陥メモリセルアドレス保持部8に保持されず、このアドレスAに関するデータも冗長部2に保持されない。一方、この6周期目では、通常ポートにアドレスDに対するライトデータも入力される。

【0045】次に7周期目において、前の周期（6周期目）に通常ポートに入力されたアドレスDに対するライトデータがデータラッチ6に保持される。このデータラッチ6の保持するアドレスDに対するライトデータは、テストポートから読み出されたメモリセル部1のアドレスDのリードデータと比較回路7で一致比較される。一

17

致比較の結果が不一致であれば、ヒット信号を欠陥メモリセルアドレス保持部8および冗長部2へ送出する。その結果、第1の欠陥メモリセルアドレスレジスタ(1)がアドレスDを保持し、冗長部2の第1のメモリセル(1)はデータラッチ6に保持されていたアドレスDに対するライトデータを保持する。一方、メモリセル部1の通常ポートはこの7周期目において、アドレスBに対するリード動作を行う。このアドレスBは欠陥メモリセルアドレス保持部8には保持されていないので、メモリセル部1を用いた通常のリード動作が行われ、メモリセル部1のアドレスBに保持されているデータがリードデータとしてデータ出力端DOより出力される。

【0046】次に8周期目において、アドレスCに対するリード動作が通常ポートに対して行われる。このアドレスCは第2の欠陥メモリセルアドレスレジスタ(2)に保持されているアドレスと一致しているので、冗長部2の第2のメモリセル(2)に保持されているライトデータがデータ出力端DOよりリードデータとして出力する。次に9周期目において、アドレスAに対するリード動作が通常ポートに対して行われるが、アドレスAは欠陥メモリセルアドレス保持部8には保持されていないアドレスであるため、メモリセル部1のアドレスAに保持されているデータがリードデータとしてデータ出力端DOより出力される。

【0047】次に10周期目において、アドレスCに対する2回目のライト動作が通常ポートに対して行われる。このアドレスCは第2の欠陥メモリセルアドレスレジスタ(2)に保持されているアドレスと一致するので、第2の欠陥メモリセルアドレスレジスタ(2)ならびに冗長部2の第2のメモリセル(2)のデータを一旦クリアされるか若しくは第2の欠陥メモリセルアドレスレジスタ(2)ならびに冗長部2の第2のメモリセル(2)をオーバーライト可能な状態にした後、次の周期(11周期目)においてテストポートからのリードデータとの一致比較が行われる。

【0048】図6は上記図5に示すメモリブロックにおけるライト動作の手順を示したフローチャートであり、以下、この図6を用いて詳細に説明する。ライト動作が行われる場合、まずステップST11において、ライトデータをデータラッチ6に保持するとともに、そのライトデータについて、ステップST12によるメモリセル部1の通常ポートへの書き込み、およびステップST13によるテストポートからの読み出しを行う。次にステップST14において、比較回路7によるデータラッチ6に保持されたデータとテストポートから読み出されたデータとの一致比較を行い、ステップST15でその一致/不一致を判定する。判定の結果、不一致であり欠陥メモリセルアドレス保持部8および冗長部2にヒット信号を出力するとステップST16に分岐して、欠陥メモリセルアドレス保持部8に書き込み対象のアドレスを欠

18

陥メモリセルアドレスとして保持させさらにライトデータを冗長部2に保持して、このライト動作を終了する。また、一致であればステップST17に分岐して、欠陥メモリセルアドレス保持部8の1つのアドレスレジスタが上記ライトデータのアドレスを保持しているならば、これを保持しているアドレスレジスタの内容をクリアするか若しくはこのアドレスレジスタをオーバーライト可能な状態にする。さらに、冗長部2が対応するライトデータを保持しているならば、これがクリアされるか若しくは冗長部2の対応するメモリセルがオーバーライト可能な状態にされる。そして、このライト動作を終了する。

【0049】以上のように、この実施の形態2によれば、欠陥のある半導体集積回路装置を救済することができて歩留りを向上させることが可能となり、動作中にテストを実施してソフトウェア的に置き換えることでテストコストの削減がはかれ、また冗長部2の削減、未使用アドレスの置き換え不要などによりチップコストを削減でき、OVF信号に基づくエラー処理などにより、システムの誤動作を回避することが可能になるなどの、実施の形態1と同様の効果が得られる。

【0050】さらに、ライト動作の度に、比較回路7が一致/不一致の判定を行い、不一致の場合にデータラッチ6に保持したデータを冗長部2に転送する構成としたので、データラッチ6を複数組用意する必要がなくなり、回路規模を削減することが可能となっており、チップコストの低減をはかることができる。また、一旦不一致となったアドレスに対しても、次に書き込まれたデータが擬似的に不良でないと判定された場合には冗長部2を一旦開放することができ、全体として少ない冗長部2で多くの不良箇所を救済することが可能となるため、これによってもチップコストの低減がはかれるという効果が得られる。

【0051】実施の形態3. 図7はこの発明の実施の形態3による半導体集積回路装置に搭載されたメモリブロックの構成を示すブロック図であり、図4の上記実施の形態2によるものと同一または相当する部分には同一符号を付してその説明を省略する。この実施の形態3によるメモリブロックは、ライト動作時、データ入力端DIより入力されたライトデータがデータラッチ6とともに冗長部2に同時に書き込まれる点で、図4に示す実施の形態2のそれとは異なっている。

【0052】ここで、基本的な動作は実施の形態1の場合と同様であるため、重複する説明は省略する。ライト動作時、データ入力端DIより入力されたライトデータはデータラッチ6に一旦保持されるとともに、メモリセル部1の通常ポートおよび冗長部2にも入力される。また、入力されたアドレスは、欠陥メモリセルアドレス保持部8に欠陥メモリセルアドレスとして保持される。データラッチ6に保持されたデータと1周期後にメモリセル部1のテストポートより読み出されたデータは比較回

19

路7にて比較され、不一致の場合には不一致を示すヒット信号を欠陥メモリセルアドレス保持部8および冗長部2へ送出し、その結果、欠陥メモリセルアドレス保持部8に既に保持されているアドレスはそのまま保持させるとともに、冗長部2に既書き込まれたデータもそのまま保持させる。

【0053】図8はこの実施の形態3におけるメモリブロックの動作を周期毎に説明するための説明図である。なお、この図8においては、説明の簡単化のために、冗長部2は2つのメモリセルを有し、欠陥メモリセルアドレス保持部8は2つのアドレスレジスタを有していると仮定する。以下、この図8を参照して動作を詳細に説明する。まず、1周期目において、メモリセル部1の通常ポートにアドレスAに対するライトデータが入力される。次に2周期目において、前の周期（1周期目）に通常ポートに入力されたアドレスAに対するライトデータがデータラッチ6および冗長部2の第1のメモリセル（1）に保持されるとともに、アドレスAは第1の欠陥メモリセルアドレスレジスタ（1）に保持される。データラッチ6に保持されたライトデータはテストポートから読み出されたメモリセル部1のアドレスAのリードデータと比較回路7で一致比較される。一致比較の結果、不一致が検出されるとヒット信号を欠陥メモリセルアドレス保持部8および冗長部2へ送出する。その結果、冗長部2の第1のメモリセル（1）に書き込まれたライトデータはそのまま保持されるとともに、第1の欠陥メモリセルアドレスレジスタ（1）においてもアドレスAは保持されたままとなる。一方、この2周期目には、通常ポートにアドレスBに対するライトデータの入力も行われる。

【0054】次に3周期目において、前の周期（2周期目）に通常ポートに入力されたアドレスBに対するライトデータがデータラッチ6および冗長部2の第2のメモリセル（2）に保持される。また、アドレスBは第2の欠陥メモリセルアドレスレジスタ（2）に保持される。このデータラッチ6の保持するアドレスBに対するライトデータは、テストポートから読み出されたメモリセル部1のアドレスBのリードデータと比較回路7で一致比較される。一致比較の結果が一致であった場合、メモリセル部1のアドレスBに書き込まれたデータが正常に読み出せたので、このデータの読み出しはメモリセル部1のデータが使用される。したがって、このアドレスBに関するライトデータは冗長部2の第2のメモリセル（2）からクリアされるか若しくは冗長部2の第2のメモリセル（2）はオーバライト可能な状態とされる。同様に、アドレスBは第2の欠陥メモリセルアドレスレジスタ（2）からクリアされるか若しくは第2の欠陥メモリセルアドレスレジスタ（2）はオーバライト可能な状態とされる。一方、この3周期目では、通常ポートにアドレスCに対するライトデータの入力も行われる。

20

【0055】次に4周期目において、前の周期（3周期目）に通常ポートに入力されたアドレスCに対するライトデータがデータラッチ6および冗長部2の第2のメモリセル（2）に保持される。また、アドレスCは第2の欠陥メモリセルアドレスレジスタ（2）に保持される。このデータラッチ6に保持されたアドレスCに対するライトデータは、テストポートから読み出されたメモリセル部1のアドレスCのリードデータと比較回路7で一致比較される。一致比較の結果が不一致であればヒット信号を欠陥メモリセルアドレス保持部8および冗長部2へ送出する。その結果、冗長部2の第2のメモリセル（2）に書き込まれたライトデータはそのまま保持されるとともに、第2の欠陥メモリセルアドレスレジスタ（2）においてもアドレスCは保持されたままとなる。一方、メモリセル部1の通常ポートはこの4周期目において、アドレスAに対するリード動作を行う。このアドレスAは第1の欠陥メモリセルアドレスレジスタ（1）に保持されているアドレスと一致しているので、冗長部2の第1のメモリセル（1）に保持されているデータをアドレスAに対するリードデータとして、データ出力端DOより出力する。

【0056】次に5周期目において、アドレスAに対する2回目のライト動作が通常ポートに対して行われる。ここで、アドレスAは第1の欠陥メモリセルアドレスレジスタ（1）に保持されており、この第1の欠陥メモリセルアドレスレジスタ（1）に保持されたアドレスに対するライト動作によって、第1の欠陥メモリセルアドレスレジスタ（1）および冗長部2の第1のメモリセル（1）の保持データは一旦クリアされるか若しくは第1の欠陥メモリセルアドレスレジスタ（1）および冗長部2の第1のメモリセル（1）はオーバライト可能な状態にされる。

【0057】次に6周期目において、前の周期（5周期目）に通常ポートに入力されたアドレスAに対するライトデータがデータラッチ6および冗長部2の第1のメモリセル（1）に保持されるとともに、アドレスAは第1の欠陥メモリセルアドレスレジスタ（1）に保持される。データラッチ6に保持されたライトデータはテストポートから読み出されたメモリセル部1のアドレスAのリードデータと比較回路7で一致比較される。一致比較の結果、一致が検出されれば、メモリセル部1のアドレスAに書き込まれたデータは正常に読み出されたことになるので、このデータの読み出しはメモリセル部1のデータが使用される。したがって、このアドレスAに関するライトデータは冗長部2の第1のメモリセル（1）からクリアされるか若しくは冗長部2の第1のメモリセル（1）はオーバライト可能な状態とされる。同様に、アドレスAは第1の欠陥メモリセルアドレスレジスタ（1）からクリアされるか若しくは第1の欠陥メモリセルアドレスレジスタ（1）はオーバライト可能な状態と

21

される。一方、この6周期目では、通常ポートにアドレスDに対するライトデータも入力される。

【0058】次に7周期目において、前の周期（6周期目）に通常ポートに入力されたアドレスDに対するライトデータがデータラッチ6および冗長部2の第1のメモリセル（1）に保持される。また、アドレスDは第1の欠陥メモリセルアドレスレジスタ（1）に保持される。このデータラッチ6の保持するアドレスDに対するライトデータは、テストポートから読み出されたメモリセル部1のアドレスDのリードデータと比較回路7で一致比較される。一致比較の結果が不一致であればヒット信号を欠陥メモリセルアドレス保持部8および冗長部2へ送出する。その結果、冗長部2の第1のメモリセル（1）に書き込まれたライトデータはそのまま保持されるとともに、第1の欠陥メモリセルアドレスレジスタ（1）においてもアドレスDは保持されたままとなる。一方、メモリセル部1の通常ポートはこの7周期目において、アドレスBに対するリード動作を行う。このアドレスBは欠陥メモリセルアドレス保持部8には保持されていないので、メモリセル部1を用いた通常のリード動作が行われ、メモリセル部1のアドレスBに保持されているデータがリードデータとしてデータ出力端DOより出力される。

【0059】次に8周期目において、アドレスCに対するリード動作が通常ポートに対して行われる。このアドレスCは第2の欠陥メモリセルアドレスレジスタ（2）に保持されているアドレスと一致しているので、データ出力端DOよりリードデータとして出力する。次に9周期目において、アドレスAに対するリード動作が通常ポートに対して行われるが、アドレスAは欠陥メモリセルアドレス保持部8には保持されていないアドレスであるため、メモリセル部1のアドレスAに保持されているデータがリードデータとしてデータ出力端DOより出力される。

【0060】次に10周期目において、アドレスCに対する2回目のライト動作が通常ポートに対して行われる。このアドレスCは第2の欠陥メモリセルアドレスレジスタ（2）に保持されているアドレスと一致するので、第2の欠陥メモリセルアドレスレジスタ（2）および冗長部2の第2のメモリセル（2）のデータを一旦クリア若しくは第2の欠陥メモリセルアドレスレジスタ（2）および冗長部2の第2のメモリセル（2）をオーバライト可能な状態とした後、次の周期（11周期目）においてテストポートからのリードデータとの一致比較が行われる。

【0061】図9は上記図8に示すメモリブロックにおけるライト動作の手順を示したフローチャートであり、以下、この図9を用いて詳細に説明する。ライト動作が行われる場合、まず、ステップST61において、ライトデータをデータラッチ6および冗長部2に保持すると

22

ともに、入力アドレスが欠陥メモリセルアドレスとして欠陥メモリセルアドレス保持部8に保持される。そのライトデータについて、ステップST62によるメモリセル部1の通常ポートへの書き込み、およびステップST63によるテストポートからの読み出しを行う。次にステップST64において、比較回路7によるデータラッチ6に保持されたデータとテストポートから読み出されたデータとの一致比較を行い、ステップST65でその一致／不一致を判定する。判定の結果、不一致であればステップST66に分岐して、既に欠陥メモリセルアドレス保持部8に保持された欠陥メモリセルアドレスは保持されたままとなり、さらに、ライトデータは冗長部2に保持されたままとして、このライト動作を終了する。また、一致であればステップST67に分岐して、冗長部2に保持されているライトデータがクリアされるか若しくはそのライトデータを保持している部分がオーバライト可能な状態となる。同様に、欠陥メモリセルアドレス保持部8に保持されている欠陥メモリセルアドレスはクリアされるか若しくはそのアドレスを保持している部分がオーバライト可能な状態となる。そして、このライト動作を終了する。

【0062】以上のように、この実施の形態3によれば、欠陥のある半導体集積回路装置を救済することができて歩留りを向上させることが可能となり、動作中にテストを実施してソフトウェア的に置き換えることでテストコストの削減がはかれ、また冗長部2の削減、未使用アドレスの置き換え不要などによりチップコストを削減でき、OVF信号に基づくエラー処理などにより、システムの誤動作を回避することが可能になるなどの、実施の形態1と同様の効果が得られる。

【0063】さらに、ライト動作の度に、ライトデータを冗長部2へ転送する構成としたので、データラッチ6を複数組用意する必要がなくなり、回路規模を削減することが可能となって、チップコストの低減をはかることができる。また、一旦不一致となったアドレスに対しても、次に書き込まれたデータが擬似的に不良でないと判定された場合には冗長部2を一旦開放することができ、全体として少ない冗長部2で多くの不良個所を救済することが可能となるため、これによってもチップコストの低減がはかれるという効果が得られる。

【0064】実施の形態4。図10はこの発明の実施の形態4による半導体集積回路装置に搭載されたメモリブロックの構成を示すブロック図である。図において、10は複数のポートを有し、それらのうちの1つのリードポートをテストポートとするRAMのメモリセル部であり、図示の例では、AポートとBポートの2つのポートを備え、Aポートを通常のリード／ライト動作に用いられる通常ポートとし、Bポートをテスト専用にするためのテストポートとしている。11はこのメモリセル部10のAポート用のアドレスデコーダ、12はBポート

23

用のアドレスデコーダであり、13はBポート用のアドレスデコーダ12へのアドレスを一時的に保持するアドレスラッチである。

【0065】14はデータ入力端DIより入力されるデータを一時的に保持するデータラッチであり、15はこのデータラッチ14に保持された書き込みデータと、1周期後にメモリセル部10のBポート（テストポート）から読み出されたデータとの比較を行う比較回路である。16はこの比較回路15で不一致が検出された場合に、そのときのアドレスと不一致が検出されたビットに関する情報を保持し、以降、そのアドレスに対してリードアクセスされた場合、上記保持情報に基づいて出力データ制御信号を生成する欠陥メモリセルアドレス／ビット情報保持部で、メモリセル部10に欠陥が多くて対応しきれない場合にはOVF信号を発生させるようになっている。17は欠陥メモリセルアドレス／ビット情報保持部16の生成した出力データ制御信号に応じて、メモリセル部10のAポート（通常ポート）から読み出されたデータをそのままか、不良ビットを反転して補正し、データ出力端DOより出力するためのセクタである。

【0066】次に動作について説明する。動作において、アドレスは、アドレスデコーダ11に直接入力されるとともに、アドレスデコーダ12の前には配置されたアドレスラッチ13にも入力されて一時的に保持される。このように、この実施の形態4においても、メモリセル部10のテストポートでは、通常ポートのライトアクセスの次の周期にデータの読み出しが行われ、テストポートからの読み出しは、通常ポートのライトアクセスの次の周期に行うためのものであるために、アドレスデコーダ12によるテストポート用のアドレスデコードは、通常ポートのライト動作の後だけでもよく、アドレスラッチ13でのアドレス保持を、通常ポートのライト動作の次の周期のみに行うようにしてもよい。

【0067】データ入力端DIより入力されたデータは、実施の形態1の場合と同様に、データラッチ14で保持されるとともに、メモリセル部10の通常ポートにも書き込みデータとして入力される。データラッチ14に保持されたデータは、1周期後にメモリセル部10のテストポートより読み出されたデータと、比較回路15によって比較されて一致／不一致の判定が行われる。両者が一致した場合、メモリセル部10の該当アドレスに対するライト／リードは正常に行われたので、以降、そのアドレスに対するリード動作時においては、メモリセル部10の該当アドレスからのリードデータがそのまま、セクタ17を介してデータ出力端DOより出力される。

【0068】一方、両者が不一致であった場合には、メモリセル部10のそのアドレス部分に欠陥メモリセルが存在することになるので、当該アドレスとその不一致検

24

出ビットの情報が欠陥メモリセルアドレス／ビット情報保持部16に保持される。以降、そのアドレスに対するリード動作においては、この欠陥メモリセルアドレス／ビット情報保持部16が保持情報に基づいて発生する出力データ制御信号に応じて、セクタ17が不一致検出ビットのデータを反転して反転したものを選択し、データ出力端DOより出力する。

【0069】ここで、メモリセル部10に欠陥が多くて、欠陥メモリセルアドレス／ビット情報保持部16が準備したアドレスレジスタでは対応しきれない場合には、この欠陥メモリセルアドレス／ビット情報保持部16よりOVF信号を出力しシステム即ち半導体集積回路装置に対してメモリ動作異常が発生したことを通知する。

【0070】次に、欠陥メモリセルアドレス／ビット情報保持部16による出力データ制御信号の生成動作について説明する。ここで、図11は欠陥メモリセルアドレス／ビット情報保持部16の内部構成を示すブロック図である。図において、20は比較回路15で不一致が検出されたときのBポートアドレスを保存する複数の欠陥メモリセルアドレスレジスタであり、21は不一致であったビット情報を保存する、欠陥メモリセルアドレスレジスタ20と同数のビット情報レジスタである。22は不一致が検出された場合にセットされる、欠陥メモリセルアドレスレジスタ20と同数の補正フラグである。23はメモリセル部10の読み出し動作時に、Aポートアドレスと欠陥メモリセルアドレスレジスタ20に保存されたアドレスとを比較する、欠陥メモリセルアドレスレジスタ20と同数のアドレス比較回路であり、24はこのアドレス比較回路23の比較結果に基づいてビット情報レジスタ21の1つを選択し、それが保持している情報に基づいて出力データ制御信号を生成するセクタである。25は比較回路回路からのライトデータの全ビットに関する一致から不一致を示す信号に論理和演算を行いその結果を補正フラグ22へ出力するOR回路、26は全補正フラグ22の出力に論理積演算を行いその結果をOVF信号として出力するAND回路である。

【0071】前述のように、メモリセル部10の通常ポート（Aポート）に入力されるライトデータは、一旦データラッチ14に保持され、ライト動作の次の周期でテストポート（Bポート）より読み出されたデータと、比較回路15にて一致比較される。その結果、いずれかのビットに不一致が検出されると、欠陥メモリセルアドレス／ビット情報保持部16において、補正フラグ22がセットされ、その補正フラグ22が対応する欠陥メモリセルアドレスレジスタ20に、Aポートアドレスの前の周期のアドレス、すなわち、アドレスラッチ13に一時保持されていたBポートアドレスが欠陥メモリセルアドレスとして保存される。また、この比較回路15の一致比較によって不一致が検出されたビット情報を対応する

25

ビット情報レジスタ21に保存する。

【0072】その後、欠陥メモリセルアドレスレジスタ20に保存されているアドレスに対して、通常ポートから読み出し動作が行われると、アドレス比較回路23で欠陥メモリセルアドレスレジスタ20に保存されている欠陥メモリセルアドレスとAポートアドレスとの一致比較を行う。アドレス比較回路23はAポートアドレスと一致する欠陥メモリセルアドレスを保存した欠陥メモリセルアドレスレジスタ20があれば、セクタ24を制御して、この欠陥メモリセルアドレスレジスタ20に10 対応するビット情報レジスタ21に保存されている補正データを、出力データ制御信号として出力する。

【0073】図12はこのような欠陥メモリセルアドレス/ビット情報保持部16の動作手順を示すフローチャートである。処理がスタートすると、まずステップST21において、通常ポートであるAポートの動作がライト動作であるかリード動作であるかを判別する。Aポートの動作がライト動作であった場合には、ステップST22に分岐して、補正フラグ22がクリアである欠陥メモリセルアドレスレジスタ20とデータラッチ14に、20 Aポートの現在のアドレスとデータとを取り込む。次に、比較回路15は、ステップST23において、テストポートであるBポートより、直前のアドレスのデータを読み出し、ステップST24にてそのリードデータとデータラッチ14の保持データの比較を行う。その結果、リードデータがデータラッチ14の保持データと全てのビットで一致していれば補正は不要であるため、ステップST25において補正フラグ22をクリアして処理を終了する。また、1ビットでも不一致があれば補正が必要となるので、ステップST26で補正フラグ22 30 をセットし、不一致データのビット情報をビット情報レジスタ21に取り込んで処理を終了する。

【0074】一方、Aポートの動作がリード動作であった場合にはステップST27に分岐する。このステップST27では、リードアクセスされたアドレスが、補正フラグ22がセットされている欠陥メモリセルアドレスレジスタ20に保存されている欠陥メモリセルアドレスと同一であった場合、ビット情報レジスタ21に保存されているビット情報に基づいて、該当ビットの反転出力のための出力データ制御信号が生成される。この出力データ制御信号はセクタ17に送られ、セクタ17はメモリセル部10から読み出したデータの不一致ビットのデータを反転させてデータを補正し、リードデータとしてデータ出力端DOより出力する。

【0075】以上のように、この実施の形態4によれば、半導体集積回路装置の歩留り向上がはかれ、テストコストやチップコストの削減も可能となり、システムの誤動作を回避することができるなどの、実施の形態1と同様の効果を奏する上、冗長部が不要となり、また不良個所を含む複数ビット分のメモリセルの置き換えをせず 50

26

に補正の必要なビットのみを補正しているので、チップコストのさらなる削減が可能になるという効果も得られる。

【0076】実施の形態5. 図13はこの発明の実施の形態5による半導体集積回路装置におけるアドレスデコーダの構成を示すブロック図である。図において、図1と同一の符号は実施の形態1によるものと同一の構成要素を示しており、以下ではその説明を省略する。アドレスデコーダ3内において、30は冗長部2のワードラインを活性化するための第1のデコーダであり、31はメモリセル部1のワードラインを活性化するための第2デコーダである。このように、この実施の形態5において、アドレスデコーダ3はこれら第1のデコーダ30と第2のデコーダ31とに分割されて構成されている。

【0077】図14はこの実施の形態5における動作の手順を示すフローチャートである。メモリセル部1のリードもしくはライトの動作が開始されると、まずステップST31において、入力されたアドレスが欠陥メモリセルアドレス保持部8に保持されたアドレスと一致しているか否かの確認が行われる。その結果、それら両者が一致していればメモリセル部1の該当アドレスは欠陥ビットが存在することになるので、ステップST32において欠陥メモリセルアドレス保持部8より第1のデコーダ30にアドレスを送って、冗長部2の該当するアドレスのワードラインを活性化させ、冗長部2のリード/ライトを行う。その時、欠陥メモリセルアドレス保持部8から第2のデコーダ31への不一致信号をクリアすることにより、メモリセル部1のワードラインの活性化を行わない。

【0078】一方、入力されたアドレスが欠陥メモリセルアドレス保持部8に保持されたアドレスと不一致であれば、メモリセル部1の該当アドレスには欠陥ビットがないことになるので、ステップST33において、欠陥メモリセルアドレス保持部8から第2のデコーダ31への不一致信号をセットする。これによって、第2のデコーダ31はメモリセル部1の該当アドレスのワードラインを活性化させ、メモリセル部1のリード/ライト動作を行う。なお、その時、欠陥メモリセルアドレス保持部8から第1のデコーダ30にはアドレスが送られないため、冗長部2のワードラインは活性化されない。

【0079】以上のように、この実施の形態5によれば、実施の形態1と同様の効果に加えて、欠陥メモリセルアドレスとの比較により、メモリセル部1のワードラインもしくは冗長部2のワードラインの一方のみを活性化しているので、メモリセル部1のアドレスデコード回路の規模を小さくすることができ、また、冗長部2を使用する場合にはメモリセル部1は動作しないので、消費電力を低減できるなどの効果が得られる。

【0080】実施の形態6. 図15はこの発明の実施の形態6による半導体集積回路装置の要部を示すブロック

27

図である。図において、40、41は図1、図4、図7もしくは図10に示したものと同等のメモリブロックであり、ここでは欠陥メモリセルアドレス保持部8以外の部分は図示を省略している。なお、この図15では欠陥メモリセルアドレス保持部8について図示しているが、欠陥メモリセルアドレス/ビット情報保持部16であっても同様である。また、メモリブロックが40と41の2組の場合を例示しているが、3組以上であっても差し支えない。42はこれら各メモリブロック40、41を制御するデータ処理部である。

【0081】メモリブロック40、41内において、8は図1に同一符号を付して示した欠陥メモリセルアドレス保持部であり、この欠陥メモリセルアドレス保持部8内において、43はそのメモリブロック40または41内に設けられた冗長部の複数のメモリセル（図示省略）のそれぞれに対応して設けられ、不一致が検出されたときの欠陥メモリセルアドレスが保存される欠陥メモリセルアドレスレジスタであり、44はそれら各欠陥メモリセルアドレスレジスタ43に対応して設けられ、不一致が検出された場合にセットされる使用フラグである。45はこれら各使用フラグ44のAND論理をとって、データ処理部42へのフル（full）フラグ信号を生成するAND回路である。

【0082】次に動作について説明する。動作において、図示を省略した比較回路による一致比較の結果が不一致、すなわち書き込み対象のメモリセルに欠陥があることが検出された場合、欠陥メモリセルアドレス保持部8の欠陥メモリセルアドレスレジスタ43の1つに、その欠陥のあるメモリセルのアドレスを欠陥メモリセルアドレスレジスタ43に対応する使用フラグ44に“1”をセットする。使用フラグ44の全てに“1”がセットされると、そのAND論理をとっているAND回路45によりフルフラグ信号がアサートされる。このメモリブロック40からのフルフラグ信号はデータ処理部42に送られ、データ処理部42はフルフラグ信号がアサートされると、他のメモリブロック41へ振り替えてライト動作を実行する。

【0083】図16はそのようなメモリブロック41への振り替えライト動作の手順を示すフローチャートである。使用フラグ44への“1”セット動作の結果、全ての使用フラグ44が“1”にセットされたか否かをステップST41で判定する。その結果、全ての使用フラグ44が“1”にセットされていた場合には、AND回路45がステップST42においてフルフラグ信号をアサートし、それをデータ処理部42へ送る。データ処理部42はフルフラグ信号がアサートされたことを検知すると、ステップST43において、次に行われるアクセスがライト動作かリード動作などのライト動作以外かを識別し、ライト動作以外であればそのままこのフラグ処理

28

を終了する。一方、次のアクセスがライト動作であれば、欠陥メモリセルアドレス保持部8の欠陥メモリセルアドレスレジスタ43は全て使用されているので、そのライト動作が正常に行われない可能性があるため、データ処理部42はステップST44においてメモリブロック41へのデータライト動作に変更し、一連のフラグ処理を終了する。

【0084】以上のように、この実施の形態6によれば、実施の形態1と同様の効果に加えて、あらかじめ準備してあった欠陥メモリセルアドレス保持部8（欠陥メモリセルアドレス/ビット情報保持部16）や冗長部2で対応しきれなくなった場合、フルフラグ信号をアサートしてデータ処理部42に出力しているため、このフルフラグ信号のアサートによってシステムに警告し、データを他のメモリブロックに振り分けることが可能となるため、システムがエラー状態となるのを回避することができるという効果が得られる。

【0085】実施の形態7。なお、上記実施の形態6では、あらかじめ準備しておいた冗長部を使い切った場合には、フルフラグ信号をアサートして、システムに対し他のバッファへの切り替え保持を警告するようにしたものについて説明したが、あらかじめ準備しておいた冗長部を使い切り、さらに不一致処理が検出された場合には、OVF信号をアサートするようにしてもよい。

【0086】図17はそのようなこの発明の実施の形態7による半導体集積回路装置の要部を示すブロック図であり、各部には図15の対応部分と同一符号を付してその説明を省略する。なお、この実施の形態7においては、AND回路45が、各使用フラグ44が全て“1”となり、さらに図示を省略した比較回路によって不一致処理の発生が検出された場合、それらのAND論理結果より、データ処理部42へのOVF信号をアサートする。

【0087】次に動作について説明する。動作において、実施の形態6の場合と同様に、書き込み対象のメモリセルに欠陥があって、比較回路（図示省略）の一致比較で不一致が検出された場合、欠陥メモリセルアドレスレジスタ43の1つに、その欠陥のあるメモリセルのアドレスを欠陥メモリセルアドレスとして保持するとともに、その欠陥メモリセルアドレスレジスタ43に対応する使用フラグ44に“1”をセットする。使用フラグ44の全てに“1”がセットされた後、さらに比較回路7にて不一致が検出されると、それらのAND論理をとっているAND回路45によりOVF信号がアサートされる。このメモリブロック40からのOVF信号はデータ処理部42に送られ、データ処理部42はOVF信号アサートされると、他のメモリブロック41へ振り替えてライト動作を実行する。

【0088】図18はそのようなメモリブロック41への振り替えライト動作の手順を示すフローチャートであ

29

る。使用フラグ44への“1”セット動作によって、全ての使用フラグ44が“1”にセットされた後、比較回路7において、さらに不一致が検出されたか否かをステップST51で判定する。その結果、全ての使用フラグ44が“1”にセットされ、さらに不一致が検出された場合には、AND回路45がステップST52においてOVF信号をアサートし、それをデータ処理部42に送る。データ処理部42はこのOVF信号がアサートされたことを検知すると、ステップST53において、次のアクセスがライト動作かリード動作かの識別を行う。

【0089】判別の結果、次のアクセスがリード動作であれば、データ処理部42はそのままこのフラグ処理を終了する。一方、次のアクセスがライト動作であれば、データ処理部42はこのメモリブロック40に対するライト動作は正常に行われなかったものと判断して、ステップST54において、同一データによるメモリブロック41へのライト動作などのエラー処理を実行して、一連のフラグ処理を終了する。なお、上記エラー処理は、データ処理部42がシステムの動作を停止させ、メモリブロック40に不具合が発生したことをシステム外に通知するような処理であってもよい。

【0090】以上のように、この実施の形態7によれば、あらかじめ準備してあった欠陥メモリセルアドレス保持部8（欠陥メモリセルアドレス／ビット情報保持部16）や冗長部2で対応しきれない場合、OVF信号をアサートしてデータ処理部42に出力しているの、このOVF信号のアサートによってライトデータを他のメモリブロック41に再書き込みするなどのエラー処理を実施することが可能となるため、システムの誤動作を回避することができ、また、使用フラグ44が全て“1”にセットされた後でも、その後のデータ不一致が発生するまでのライト動作はメモリブロック40を使用することができるため、データ処理部42の実行するメモリブロック41を使用した例外処理の頻度を減少させることが可能となって、システムの性能低下を抑制できるなどの効果が得られる。

【0091】実施の形態8. 上記各実施の形態のメモリブロックは複数のデータを単に記憶する1つのみのメモリセル部を備えた。これに対して、この実施の形態8によるメモリブロックは奇数個のメモリセル部を備え、これらのメモリセル部が同一の内容を有するようにライト動作時にその各々に同一データを記憶させ、読み出したリードデータの多数決演算にて、メモリセルの不良個所を検出するものである。

【0092】図19はそのようなこの発明の実施の形態8による半導体集積回路装置の要部を示すブロック図である。図において、50、51、52は3つ用意され、互いに異なる構造をしたメモリセル部である。なお、ここではメモリセル部50～52の3つを用意した場合について例示しているが、3つ以上の奇数個であればよ

30

い。53、54、55はそれら各メモリセル部50～52に対応して個別に用意されたアドレスデコーダである。56はそれら各メモリセル部50～52の同一アドレスの場所から読み出されたデータの多数決演算を行う多数決選択回路である。

【0093】ライト動作を実施する場合、まず、データ入力端DIから各メモリセル部50～52にライトデータを、アドレス入力端Aからアドレスデコーダ53～55にライトアドレスをそれぞれ入力する。メモリセル部50では対応するアドレスデコーダ53でデコードされたアドレスに、入力されたライトデータを記憶する。同様に、メモリセル部51では対応するアドレスデコーダ54でデコードされたアドレスに、メモリセル部52では対応するアドレスデコーダ55でデコードされたアドレスに、それぞれ入力されたライトデータを記憶する。なお、これら各メモリセル部50～52に書き込まれるデータは同一のデータである。

【0094】次に、アドレス入力端Aに前述のアドレスを入力してリード動作を行う。各メモリセル部50～52では対応するアドレスデコーダ53～55でデコードされたアドレスよりそれぞれデータリードが行われる。読み出されたデータは多数決選択回路56に入力され多数決演算が行われる。その結果、全てのリードデータが一致すれば、各メモリセル部50～52の該当アドレスには欠陥がないものと判定する。また、2つのリードデータが一致しており、もう1つのリードデータが異なっていれば、その少数（1つ）のリードデータが読み出されたメモリセル部の該当アドレスに欠陥があると判定する。

【0095】以上のように、この実施の形態8によれば、3つのメモリセル部50～52からのリードデータにより多数決選択しているの、メモリセル部50～52に不良個所があっても容易に検出できるため、歩留りを向上でき、多数決選択回路56により動的に比較しているの、あらかじめテストして不良個所を特定することが不要となって、テストコストが削減可能である。多数決論理により選択されたデータを出力する構成にしているの、レーザトリミングなどのH/Wによる変更処理が不要となって、コストを削減できるばかりか、構造の違う奇数のメモリセル部50～52により構成されているの、メモリセル部50～52の構造に起因する不良の検出が可能となり、さらに、アドレスデコーダ53～55を各メモリセル部50～52に対して準備しているの、各メモリセル部50～52の不良ばかりでなく、アドレスデコーダ53～55の不良に関してもリペア可能になるなどの効果が得られる。

【0096】実施の形態9. また、同一の内容を有するようにライト動作時に同一データが記憶される奇数個のメモリセル部と、リードデータの多数決演算にてメモリセル部の不良個所を検出する多数決選択回路の代わり



31

に、本発明の実施の形態9による半導体集積回路装置は、各アドレスについて、同一の内容を有するようにライト動作時に同一データが記憶される奇数個のメモリセルを有するメモリセル部と、それらの各メモリセルから読み出したリードデータの多数決演算を行って、メモリセルの不良個所を検出する多数決選択回路とを備えたものである。即ち、メモリセル部は必要量の3倍のメモリセルを備えている。

【0097】図20はそのようなこの発明の実施の形態9による半導体集積回路装置の要部を示すブロック図である。図において、60はメモリセル部であり、61はそのアドレスデコーダである。62、63、64はメモリセル部60内のメモリセルであり、メモリセル部60の各アドレス毎に、ライトデータの各ビットについて3つの1ビットメモリセルが設けられており、隣接する3つのメモリセル62～64には同一のデータが保持されている。65、66、67はこれら各メモリセル62～64に保持されているデータを読み出すためのビットラインであり、68はこれら各ビットライン65～67より読み出されたデータの多数決演算を行う多数決選択回路である。

【0098】ライト動作を実施する場合、まず、データ入力端DIからメモリセル部60にライトデータを、アドレス入力端Aからアドレスデコーダ61にライトアドレスをそれぞれ入力する。メモリセル部60ではこの入力されたライトデータの各ビットを、アドレスデコーダ61でデコードされたアドレスの3つのメモリセルの各セットに記憶する。ここで、メモリセル部60の各アドレスは、各ビットについて3つのメモリセルを有している。例えば、隣接した1ビットメモリセル62～64にデータ入力端DIから入力された同一のライトデータの各ビットが記憶される。

【0099】次に、アドレス入力端Aに前述のアドレスを入力してリード動作を行う。メモリセル部60ではアドレスデコーダ61でデコードされたアドレスによってデータリードが行われ、隣接した3ビットのメモリセル62～64からは同一に書き込まれたデータが読み出される。このようにして、隣接する3ビットのメモリセル62～64から読み出されたデータは、それぞれのビットライン65～67にて多数決選択回路68に入力され、多数決演算が行われる。その結果、それら3ビットのリードデータが一致すれば、該当ビットには欠陥がないものと判定する。また、2つのリードデータが一致しており、もう1つのリードデータが異なっていれば、その少数(1つ)のリードデータが読み出されたビットに欠陥があると判定する。

【0100】なお、上記説明では、各アドレスが必要量の3倍のメモリセル数を有するメモリセル部60を用いたものを示したが、3以上の奇数倍であればよく、また、多数決選択回路68では隣接するビットライン65

32

～67からのリードデータの多数決演算を行っているが、近傍のビットラインであれば必ずしも隣接しているものでなくともよい。

【0101】以上のように、この実施の形態9によれば、メモリセル部60に不良個所があっても、多数決選択により容易に検出できるため歩留りを向上でき、動的比較によりあらかじめテストし不良個所を特定する必要がないので、テストコストを削減できる。多数決論理により選択されたデータを出力しているため、レーザトリミングなどのH/Wによる変更処理が不要となってコスト削減がはかれ、多数決比較されるビットライン65～67が近傍(隣接)に存在できるため、配線が短く済み、消費電力の低下、高速化等の性能向上が可能となるなどの効果が得られる。

【0102】実施の形態10. 同一の内容を有するようにライト時に同一データが書き込まれる奇数個のメモリセル部または奇数個のメモリセルを有するメモリセルと、リードデータの多数決演算にてメモリセル部の不良個所を検出して多数決の結果を出力する多数決選択回路との代わりに、本発明の実施の形態10による半導体集積回路装置は、同一の内容を有するようにライト動作時に同一データが記憶される2つのメモリセル部と、これらのメモリセル部から読み出されたデータが不一致の場合、パリティビットを確認して正しい方のデータを出力する比較回路とを備えたものである。

【0103】図21はそのようなこの発明の実施の形態10による半導体集積回路装置の要部を示すブロック図である。図において、70、71は同一のアドレスを持つメモリセル部であり、72はこれら2つのメモリセル部70、71のアドレスをデコードするアドレスデコーダである。73はメモリセル部70、71の各アドレス毎に、ライト動作時に求めたライトデータのパリティを保持するパリティビット保持部であり、74は2つのメモリセル部70、71からのリードデータの一致比較を行い、不一致が検出された場合にパリティビット保持部73を確認して正しい方のデータを出力する比較回路である。

【0104】ライト動作を実施する場合、データ入力端DIより入力されたライトデータは、メモリセル部70および71の、アドレスデコーダ72にてデコードされたアドレスにそれぞれ書き込まれる。従って、これらメモリセル部70、71の同一アドレスには同一のデータが記憶される。その時、パリティビット保持部73は、このライトデータのパリティを計算して上記アドレスに対応した部分に保持する。次に、アドレスデコーダ72に入力された前述のアドレスによって、メモリセル部70および71から該当アドレスのデータリードが行われる。このリードデータは比較回路74に入力されて一致比較される。その結果、それら2面のメモリセル部70、71のリードデータが不一致であった場合、比較回

33

路74は該当するパリティビット保持部73を確認して、正しい方のデータをデータ出力端D0より出力する。

【0105】以上のように、この実施の形態10によれば、メモリセルに不良個所があっても複数のメモリセル部70、71のリードデータとパリティビット保持部73により補正されるので、歩留りを向上させることができ、動的に比較しているの、あらかじめテストして不良個所を特定する必要がなく、テストコストの削減が可能である。複数のメモリセル部70、71とパリティビット保持部73を用いて補正を行っているの、レーザトリミングなどのH/Wによる変更処理が不要で、コストの削減が可能であり、また、2面のメモリセル部70、71のリードデータを比較すればよいので、多数決選択を行う場合に比べてメモリセル部が少なくて済み、チップ面積の削減、チップコストの低減がはかれるなどの効果がある。

【0106】実施の形態11。図22はこの発明の実施の形態11による半導体集積回路装置に搭載されたメモリブロックの構成を示すブロック図である。図において、1はメモリセル部、2は冗長部、3はアドレスデコーダ、6はデータラッチ、7は比較回路、8は欠陥メモリセルアドレス保持部、9はセクタであり、これらは図1に同一符号を付して示した、実施の形態1におけるそれらと同等のものである。また、80はトリガ信号に基づいてテストパターンアドレスとデータのセットを生成する自己テストパターン生成部である。81はこの自己テストパターン生成部80の発生するテストパターンのアドレスとアドレス入力端Aから入力されるアドレスの一方を選択して、メモリセル部1のアドレスとするアドレス入力セクタである。82は自己テストパターン生成部80の発生するテストパターンのデータとデータ入力端D1から入力されるデータの一方を選択して、メモリセル部1に入力するデータ入力セクタである。なお、この実施の形態11はアドレスデコーダ4およびアドレスラッチ5を削除し、これら自己テストパターン生成部80、アドレス入力セクタ81、データ入力セクタ82を備えている点で、実施の形態2とは異なっている。

【0107】次に動作について説明する。動作において、自己テストパターン生成部80はパワーON、テストモード、リセットなどの入力があると、それをトリガ信号として自己テスト動作をスタートさせ、任意のテストパターンのアドレスおよびデータのセットを生成する。このトリガ信号のアサートによって自己テストモードに至った場合、アドレス入力セクタ81およびデータ入力セクタ82は、自己テストが終了するまで、自己テストパターン生成部80から出力されるテストパターンのアドレスあるいはデータの選択を行う。この自己テストパターン生成部80の生成したテストパターンの

34

アドレス/データセットがメモリセル部1に入力されている間、メモリブロックは連続的にライト動作を実行する。

【0108】このように、メモリセル部1にテストパターンのデータが入力されると、実施の形態1におけるライト動作の場合と同様に、メモリセル部1から読み出されたデータと書き込まれたテストパターンのデータとの一致比較が行われる。不一致が検出された場合にはメモリセル部1に欠陥があるものとして、以降冗長部2が処理をするそのアドレスを欠陥メモリセルアドレス保持部8に欠陥メモリセルアドレスとして保存する。以降、メモリセル部1のその不良個所に対するリードアクセスがなされた場合、この欠陥メモリセルアドレス保持部8に保存された欠陥メモリセルアドレスにより指定される冗長部2のメモリセルからデータが読み出される。

【0109】このようなテスト動作を、パワーON時やリセット時、また特別に設けたテストモードを実施することにより行えば、メモリセル部1の欠陥が多く準備した欠陥メモリセルアドレス保持部8、ならびに冗長部2に不足があるか否かを、OVF信号の観測によって通常の動作に先立って確認することが可能となり、出荷前のGO/NGテストとして使用することが可能となる。また、その期間においては、トリガ信号のアサートによるテストモードの設定とOVF信号の観測のみを行えばよい。

【0110】なお、上記説明では、自己テストパターン生成部80の生成するテストパターンのアドレス/データセットとして、あらかじめ定義したマーチ(MARCH)やチェッカー(CHECKER)パターンなどによるアルゴリズムミックなものを用いた場合について示したが、本発明ではテストパターンの期待値の発生ならびにその期待値とテストパターンとの比較が不要であるため、テストパターンとしては、乱数的に生成したアドレス/データセットを用いることも可能である。

【0111】また、上記説明では、欠陥メモリセルアドレス保持部8からOVF信号を出力するものを示したが、実施の形態6で説明したフルフラグ信号を出力するようにしてもよいことはいうまでもない。

【0112】以上のように、この実施の形態11によれば、冗長部2による置き換えによって歩留りが向上し、あらかじめ不良個所の特定を不要としてテストコストを削減し、冗長部2の削減を可能としてチップコストを削減し、未使用のアドレスの置き換えが不要となり、レーザトリミングなどのH/Wによる変更処理を不要としてコストの削減を可能にし、データの保持を他のメモリなどへ振り分けてエラー処理などを行うことでシステムの誤動作を回避することが可能となるなどの、上記実施の形態1と同一の効果がある。

【0113】さらに、このテスト動作をパワーON時やリセット時、また特別に設けたテストモードを実行する

35

ことによって行えば、OVF信号の観測によって、あらかじめ準備した欠陥メモリセルアドレス保持部8や冗長部2に不足が生じるか否かを、通常の動作に先立って確認することが可能となり、出荷前のテストが可能となり、その間、トリガ信号のアサートによるテストモードの設定と、OVF信号／フルフラグ信号の観測のみを行えばよいので、さらなるテストコストの削減をはかることができ、また一致比較はあらかじめ準備された期待値でなくライト／リードデータで行うので、自己テストのための回路が簡単かつ小面積で実現できるなどの効果も得られる。

【0114】実施の形態12. この発明の実施の形態12による半導体集積回路装置は、複数のメモリブロックで共用され且つこれらの外部に配置された自己テストパターン生成部80を備えたものである。図23はこの実施の形態12による半導体集積回路装置の要部を示すブロック図である。図において、90, 91, 92, 93は図22に示した実施の形態11によるものと同等のメモリブロックであるが、自己テストパターン生成部80を個別に有していない点でそれとは異なっている。94はこれら各メモリブロック90～93にて共通に使用され、それらにテストパターンのアドレス／データセットを供給する自己テストパターン生成部である。95は各メモリブロック90～93より出力されるOVF信号の論理和演算を行い、それをチップ外部に出力させるOR回路である。

【0115】各メモリブロック90～93はそれぞれ、共通に使用される自己テストパターン生成部94の発生するテストパターンのアドレス／データセットを受け取る。そして、各メモリブロック90～93は上記実施の形態11のメモリブロックと同様に動作する。すなわち、各メモリブロック90～93は検出された不良個所の情報を欠陥メモリセルアドレス保持部8に保持し、以降、この欠陥メモリセルアドレス保持部8に保持された情報に基づいて、不良個所は冗長部2のメモリセルを置き換えて使用する。あるメモリブロックにおいて、冗長部2に不足が生じると、欠陥メモリセルアドレス保持部8はOVF信号を発生しOR回路95を介してチップ外にOVF信号を出力する。なお、テストパターンは乱数的に生成できるので、仕様（ビット・ワードサイズ）の異なる複数のメモリブロックで共有可能である。

【0116】なお、上記説明では、欠陥メモリセルアドレス保持部8からOVF信号を出力するものを示したが、実施の形態6で説明したフルフラグ信号を出力するようにしてもよいことはいふまでもない。

【0117】以上のように、この実施の形態12によれば、上記実施の形態11における効果の他に、自己テストパターン生成部94などの自己テストのための回路は複数のメモリブロック90～93で共通使用しているので、付加回路規模が少なく済むため、チップコストの

36

削減がはかれ、OVF信号／フルフラグ信号は複数のメモリブロック90～93の論理和出力となるので、回路信号線の削減が可能となり、自己テストパターン生成部94でテストパターンのみを生成し、一致比較はそれぞれのメモリブロック90～93毎に行っているため、構成の異なるメモリブロック90～93で自己テストパターン生成部94を共通使用することが可能になるなどの効果が得られる。

【0118】実施の形態13. 図24はこの発明の実施の形態13による半導体集積回路装置に搭載されたメモリブロックの構成を示すブロック図である。図において、1は1ポートのRAMから成るメモリセル部、2は冗長部、3はアドレスデコーダ、6はデータラッチ、7は比較回路、8は欠陥メモリセルアドレス保持部、9はセクタ、81はアドレス入力セクタであり、これらは図22に同一符号を付して示した実施の形態11におけるそれらと同等のものである。また、83はこのメモリブロックに入力されるアドレスを保持するための、複数ワードを持った1RWメモリによるアドレス保持バッファメモリである。なお、ライトデータは常時冗長部2に書き込まれるようになっている。

【0119】リード／ライトの動作を制御するための信号としてリードイネーブル（RE）信号とライトイネーブル（WE）信号とが用いられる。また、この実施の形態13で用いられているメモリセル部1は、前述のようにリード／ライトポートを1ポートしか備えていないので、ライト動作の次の周期で、直前のライトデータの一致比較が必ず行えるとは限らない。そこで、該当するアドレスがアドレス保持バッファメモリ83に、ライトデータがデータラッチ6にそれぞれ保存される。

【0120】RE信号およびWE信号とともにディスエーブルであり、かつアドレス保持バッファメモリ83にテストすべきアドレスが保持されている場合、アドレス入力セクタ81はアドレス保持バッファメモリ83からのアドレスを選択してアドレスデコーダ3に出力する。これによってメモリセル部1の該当アドレスから読み出されたデータと、データラッチ6に保持しておいたデータとの一致比較を比較回路7で行い、不一致が検出された場合、そのアドレスを欠陥メモリセルアドレス保持部8に保持しておく。なお、この一致比較、欠陥メモリセルアドレスの保持は実施の形態2の場合と同様に実行される。

【0121】図25はこの実施の形態13におけるメモリブロックの動作を周期毎に説明するための説明図である。この図25には、各周期毎に、このメモリブロックにおけるシステム動作、ならびに内部で行われるテスト動作、およびアドレス保持バッファメモリ83に保持されるアドレスが示されている。以下、この図25をもとにその動作について詳細に説明する。まず、1周期目において、アドレスAに対してライト動作が行われる。こ

37

のライト動作によってアドレス保持バッファメモリ83にはアドレスデータ“A”が保持され、データラッチ6にはライトデータが保持される。次の2周期目では、リードならびにライトの動作は行われていないので、RE信号およびWE信号がディスエーブルとなっている。この期間に、アドレス保持バッファメモリ83に保持されたアドレスデータが“A”に基づいて、メモリセル部1のアドレスAのメモリセルからデータを読み出し、そのリードデータとデータラッチ6に保持しておいたデータとの一致比較が比較回路7で行われる。その結果、不一致が検出されれば、そのデータを冗長部2に保存させ、そのアドレスデータを欠陥メモリセルアドレスとして欠陥メモリセルアドレス保持部8に保持させる。また、一致比較の結果が一致であれば、欠陥メモリセルアドレス保持部8にはアドレスを保持させない。

【0122】次に3周期目において、アドレスAに対するリード動作が行われる。このアドレスAに対するリードデータとしては、上記2周期目で行われたテスト動作の結果が不一致であった場合、上記欠陥メモリセルアドレスにより示される冗長部2の対応するメモリセルから読み出したデータが出力され、一致であった場合にはメモリセル部1のアドレスAから読み出したデータが出力される。なお、2周期目でアドレスAに対するテスト動作は完了しているので、3周期目ではアドレス保持バッファメモリ83に保持されたアドレスデータ“A”はクリアされる。次の4周期目ではリード/ライト動作は行われておらず、RE信号およびWE信号がディスエーブルとなっているが、アドレス保持バッファメモリ83もクリアされているので、比較回路7による一致比較の処理も行われない。

【0123】次に5周期目においてアドレスBに対するライト動作が行われると、1周期目と同様にアドレス保持バッファメモリ83にアドレスデータ“B”が保持され、データラッチ6にそのライトデータが保持される。さらに6周期目においてアドレスCに対するライト動作が行われると、アドレス保持バッファメモリ83には前の5周期目に保持したアドレスデータ“B”とともに、このアドレスデータ“C”が保持され、データラッチ6にもそのライトデータが保持される。7周期目にリード/ライト動作が行われていなければ、2周期目と同様に、アドレス保持バッファメモリ83に保持されたアドレスBに対するデータの一致比較を行う。さらに8周期目にリード/ライト動作が行われていなければ同様に、アドレス保持バッファメモリ83に保持されたアドレスCに対するデータの一致比較を行う。また、アドレスデータBがアドレス保持バッファメモリ83からクリアされる。

【0124】以降、ライト動作が行われると、アドレス保持バッファメモリ83にライト対象のアドレスデータを、データラッチ6にデータをそれぞれ保持させ、ライ

38

トもしくはリードが行われない、RE信号およびWE信号がディスエーブルの周期になったとき、保持しておいたアドレス/データについて一致比較を行い、一致比較が終了したアドレス保持バッファメモリ83のアドレスデータ、およびデータラッチ6のデータをクリアする。

【0125】なお、上記説明では、リード/ライトの制御信号としてRE信号ならびにWE信号を用いたものを示したが、それらに代えて、RW信号とCS信号(モジュール選択信号)を用いることも可能である。

【0126】以上のように、この実施の形態13によれば、冗長部2による置き換えで歩留りが向上し、事前に不良個所の特定を不要としてテストコストを削減し、冗長部2の削減を可能としてチップコストを削減し、未使用アドレスの置き換えが不要となり、H/Wによる変更処理を不要としてコストの削減を可能にし、データの保持を他のメモリなどへ振り分けることでシステムの誤動作の回避が可能となるなどの、実施の形態1と同一の効果がある。

【0127】さらに、リード/ライト動作していない周期を利用してリペア処理を行っているので、1ポートのメモリセル部1でも対応可能となり、また一般的に1ポートメモリの方が小面積で実現できるので、チップの小型化、低コストがはかれるなどの効果が得られる。

【0128】実施の形態14. 図26はこの発明の実施の形態14による半導体集積回路装置に搭載されたメモリブロックを示すブロック図である。図において、100は主たるデータ記憶部であるメモリセル部であり、101はこのメモリセル部100のアドレスデコーダである。102はアクセス頻度の高いデータ列もしくはアクセス速度を速めたいデータ列が保持される、上記メモリセル部100より容量の少ない、複数のメモリセルを含むデータ列保持部である。103はデータ列が格納されるデータ列保持部102の場所を指定するアドレス情報を保持するアドレス情報保持部である。104はこのデータ列保持部102から読み出したデータとメモリセル部100から読み出したデータの一方を選択し、それをデータ出力端DOより出力するセレクトである。

【0129】あらかじめ定義されたデータ列、例えばALL“0”やALL“1”、またこのメモリブロックが命令メモリとして使用される場合はノップ(NOP)などの使用頻度が高いものはデータ列保持部102に保持しておく。このように、これらのデータ列は、サイズの大きなメモリセル部100ではなく、サイズの小さなデータ列保持部102に保持しておいたデータ列の中から読み出すことによって、消費電力の低減をはかっている。同様に、演算処理命令などの処理時間がかかるデータ列もデータ列保持部102に保持しておき、サイズの大きなメモリセル部100ではなく、データ列保持部102よりデータ列を読み出すことによって、命令読み出

39

しのアクセス時間を高速化して、実行サイクル中の演算処理のための割り当て時間を増加させる。

【0130】このデータ列保持部102に保持されているデータ列のアクセス時間を短縮するためには、アドレス入力端Aからのアドレス情報をメモリセル部100のアドレスデコーダ101よりも先にアドレス情報保持部103に入力する。また、アクセス時間を高速化するために、データ出力端D0の近傍、すなわちセクタ104の近傍にデータ列保持部102を配置している。

【0131】なお、データ列保持部102をアクセスする場合、アドレス情報保持部103はデータ列保持部102に対して、保持している該当アドレスを供給するとともに、セクタ104を制御して、データ列保持部102からのリードデータを選択して、それをデータ出力端D0より出力させる。その時、アドレス情報保持部103からアドレスデコーダ101へのアドレス情報の伝播を停止させて、メモリセル部100ならびにアドレスデコーダ101を非動作状態にさせる。また、クロック同期式動作するものであれば、メモリセル部100に対する制御クロックを停止させることにより、メモリセル部100ならびにアドレスデコーダ101を非動作状態にさせる。アドレス情報保持部103はこれらの動作の制御を行うための機能も備えている。

【0132】なお、上記データ列保持部102は、RAMを用いて使用状態に応じたデータ列を保持するようにしてもよいし、また、あらかじめアクセス頻度の高いデータ列やアクセス速度を高めたいデータ列が分かっている場合にはROMを用いるようにしてもよい。

【0133】以上のように、この実施の形態14によれば、使用頻度が高いデータ列、もしくは高速のアクセスが要求されるデータ列が保持されているデータ列保持部102は、メモリセル部100よりも容量が小さいので、データ伝播経路の配線容量が少なく済み、また、データ列保持部102をデータ出力端D0の近傍に配置することにより配線容量をより少なくすることができるため、アクセスの高速化をはかることが可能となり、データ列保持部102をアクセスする場合にはメモリセル部100を非アクセスとすることにより、容量の大きなメモリセル部100の充放電を行わなくて済むため、消費電力の削減も可能となり、さらに、データ列保持部102としてROMを用いた場合、チップ面積を削減できるなどの効果が得られる。

【0134】本発明の精神及び範囲から逸脱することなく本発明の広範囲の異なる実施態様が構成され得る。本発明は、特許請求の範囲において規定されたもの以外は、その特定の実施態様に制約されるものではない。

【0135】

【発明の効果】以上のように、この発明によれば、通常のリード／ライト動作が行われる通常ポートと、テスト専用のテストポートとを有するメモリセル手段と、通常

40

ポートより前記メモリセル手段に書き込まれるライトデータを一時保持するデータラッチ手段と、メモリセル手段にその通常ポートより書き込まれたデータをテストポートより読み出し、そのリードデータとデータラッチ手段に保持されているライトデータとの一致比較を行う比較手段と、比較手段による一致比較で不一致となった場合に、メモリセル手段に代わってライトデータを保持する冗長手段と、比較手段による一致比較で不一致となった場合に、ライトデータが書き込まれたメモリセル手段の場所を示すアドレスに関する情報を保持するアドレス保持手段とを備えるので、メモリセル手段に不良個所があっても、冗長手段によりその機能を置き換えることが可能なので、欠陥によって通常不良品となる半導体集積回路装置を救済することができ、歩留りを向上させることができ、また、テストポートと、比較手段とアドレス保持手段を備えることによって、動作中にテストを実施してソフトウェア的に置き換え可能となるので、通常、メモリセルに欠陥のある半導体集積回路装置の救済の際に行われている、出荷前のテストにて不良個所を特定したり、レーザトリミングなどによりハードワイヤードに変更を行う処理が不要となるため、テストコストの削減が可能になるなどの効果がある。

【0136】この発明によれば、データラッチ手段が、それぞれ通常ポートよりメモリセル手段に書き込まれるライトデータを一時保持する複数のデータラッチを有し、比較手段による一致比較で不一致となったメモリセル手段のアドレスへの最初のリード動作時に、データラッチ手段の該当するデータラッチに保持されたデータを出力し、以降、そのアドレスへのライト／リードの動作においては、比較手段による一致比較を行うことなく、アドレス保持手段に保持されている該当アドレスに対応するライトデータを保持している冗長手段に直接アクセスするので、一旦不一致を検出したら、それ以降該当アドレスに対する一致比較を行う必要がないので、処理時間を短縮できる上に、比較手段の動作率を低下させ消費電力の低減が可能になるという効果がある。また、欠陥メモリセルが多くてアドレス保持手段および冗長手段が対応できなくなった場合には、アドレス保持手段はオーバーフロー信号を出力するので、データの保持を他のメモリなどへ振り分けてエラー処理などを行うことができるので、システムの誤動作を回避することが可能になるという効果がある。

【0137】この発明によれば、データラッチ手段が、通常ポートよりメモリセル手段に書き込まれるライトデータを一時保持する1つのデータラッチを有し、メモリセル手段へのライトデータのライト動作時に、比較手段は一致比較を行い、不一致の場合には冗長手段はライトデータを保持し、アドレス保持手段はライトデータが書き込まれたメモリセル手段の場所を示すアドレスを保持し、比較手段による以後の一致比較で一致となった場合

41

には、アドレス保持手段に保持されているアドレスはクリアされるか若しくはアドレスがオーバライト可能な状態となり、冗長手段に保持されているライトデータはクリアされるか若しくはライトデータがオーバライト可能な状態となるので、データラッチを複数組用意する必要がなくなり、回路規模を削減することが可能となって、チップコストの低減をはかることができる。また、欠陥のある半導体集積回路装置を救済することができて歩留りを向上させることが可能となり、動作中にテストを実施してソフトウェア的に置き換えることでテストコストの削減がはかれ、冗長手段の削減、未使用アドレスの置き換え不要などによりチップコストを削減でき、オーバーフロー信号に基づくエラー処理などにより、システムの誤動作を回避することが可能になるという効果がある。

【0138】この発明によれば、データラッチ手段が、通常ポートよりメモリセル手段に書き込まれるライトデータを一時保持する1つのデータラッチを有し、メモリセル手段へのライトデータのライト動作時に、冗長手段が該ライトデータを保持するとともにアドレス保持手段はライトデータが書き込まれたメモリセル手段の場所を示すアドレスを保持し、比較手段は一致比較を行い、不一致の場合には冗長手段はそのままライトデータを保持し、アドレス保持手段はアドレスをそのまま保持し、一致の場合には、アドレス保持手段に保持されているアドレスはクリアされるか若しくはアドレスがオーバライト可能な状態となり、冗長手段に保持されているライトデータはクリアされるか若しくはライトデータがオーバライト可能な状態となるので、データラッチを複数組用意する必要がなくなり、回路規模を削減することが可能となって、チップコストの低減をはかることができる。また、一旦不一致となったアドレスに対しても、次に書き込まれたデータが擬似的に不良でないと判定された場合には冗長手段を一旦開放することができ、全体として少ない冗長手段で多くの不良個所を救済することが可能となるため、これによってもチップコストの低減がはかれるという効果がある。

【0139】この発明によれば、リード/ライト動作を行う時入力されたアドレスをデコードし、冗長手段のワードラインを活性化するための第1のデコーダと、メモリセル手段のワードラインを活性化するための第2のデコーダとを備えたアドレスデコード手段を備えており、アドレス保持手段はアドレスと同一のアドレスを保持しているか否かを判定し、同一のアドレスを保持しているならば、第1のデコーダは冗長手段の該当するワードラインを活性化し、そうでないならば、第2のデコーダはメモリセル手段の該当するワードラインを活性化するので、欠陥のある半導体集積回路装置を救済することができて歩留りを向上させることが可能となり、動作中にテストを実施してソフトウェア的に置き換えることで

42

ストコストの削減がはかれ、また冗長手段の削減、未使用アドレスの置き換え不要などによりチップコストを削減でき、オーバーフロー信号に基づくエラー処理などにより、システムの誤動作を回避することが可能になるという効果がある。

【0140】この発明によれば、冗長手段がメモリセル手段の代わりをするのに必要な空きがない場合、フルフラグ信号をアサートするので、フルフラグ信号のアサートによってシステムに警告し、データを他のメモリブロックに振り分けることが可能となるため、システムがエラー状態となるのを回避することができるという効果がある。

【0141】この発明によれば、冗長手段がメモリセル手段の代わりをするのに必要な空きがなく、さらに、比較手段による一致比較で不一致となった場合、オーバーフロー信号をアサートするので、オーバーフロー信号のアサートによってエラー処理を実施することが可能となるため、システムの誤動作を回避することができ、また、冗長手段がメモリセル手段の代わりをするのに必要な空きがなくなった後でも、その後のデータ不一致が発生するまでのライト動作はメモリセル手段を使用することができるため、エラー処理の頻度を減少させることが可能となって、システムの性能低下を抑制できるなどの効果がある。

【0142】この発明によれば、通常のリード/ライト動作が行われる通常ポートと、テスト専用のテストポートとを有するメモリセル手段と、メモリセル手段の通常ポートより書き込まれるライトデータを一時保持するデータラッチ手段と、メモリセル手段にその通常ポートより書き込まれたデータをテストポートより読み出し、そのリードデータとデータラッチに保持されているライトデータとの一致比較をビット毎に行う比較手段と、比較手段による一致比較で不一致となった場合に、ライトデータが書き込まれたメモリセル手段の場所を示すアドレスと、その不一致検出ビットに関する情報を保持するアドレス/ビット情報保持手段と、不一致が検出されたアドレスに対する以後のリード動作では、不一致検出ビットについて、メモリセルから読み出したデータを反転させて出力する手段とを備えるので、冗長手段が不要となり、また不良個所を含む複数ビット分のメモリセル手段の置き換えをせずに補正の必要なビットのみを補正しているので、チップコストのさらなる削減が可能になるという効果がある。

【0143】この発明によれば、それぞれが個別にアドレスデコーダを有し、ライト動作時同一の内容を有するように同一のライトデータが書き込まれる、互いに構造が異なった3以上の奇数個のメモリセル部と、リード動作が行われ複数のアドレスデコーダに同一のアドレスが入力された場合、複数のメモリセル部のそのアドレスによって指定された場所から読み出した奇数個のデータの

多数決演算を行い、メモリセル手段の欠陥の有無を判定し、多数決の結果をリードデータとして出力する多数決選択手段とを備えるので、メモリセル手段に不良個所があっても容易に検出できるため、歩留りを向上でき、多数決選択手段により動的に比較しているの、あらかじめテストして不良個所を特定することが不要となって、テストコストが削減可能であるという効果がある。また、多数決論理により選択されたデータを出力する構成にしているの、レーザトリミングなどのH/Wによる変更処理が不要となって、コストを削減できるばかりか、構造の違う奇数のメモリセル手段により構成されているので、メモリセル手段の構造に起因する不良の検出が可能となり、さらに、アドレスデコーダをメモリセル手段に対して準備しているの、メモリセル手段の不良ばかりでなく、アドレスデコーダの不良に関してもリペア可能になるなどの効果がある。

【0144】この発明によれば、ライト動作時に同一の内容を有するようにライトデータの各ビットが書き込まれる、3以上の奇数個のメモリセルを有するメモリセル手段と、メモリセル手段に書き込まれたライトデータに対してリード動作が行われた場合、メモリセル手段の複数のメモリセルから読み出したデータの各ビットに対応する奇数個のビットデータの多数決演算を行い、メモリセル手段の複数のメモリセルの欠陥の有無を判定し、多数決の結果をリードデータとして出力する多数決選択手段とを備えるので、メモリセル手段に不良個所があっても、多数決選択により容易に検出できるため歩留りを向上でき、動的比較によりあらかじめテストし不良個所を特定する必要がないので、テストコストを削減できるという効果がある。また、多数決論理により選択されたデータを出力しているの、レーザトリミングなどのH/Wによる変更処理が不要となってコスト削減がはかれ、多数決比較されるビットラインが近傍（隣接）に存在できるため、配線が短く済み、消費電力の低下、高速化等の性能向上が可能となるなどの効果がある。

【0145】この発明によれば、ライト動作時同一の内容を有するように同一のライトデータが書き込まれる複数のメモリセル部と、ライトデータが複数のメモリセル部に書き込まれた際に、ライトデータのパリティビットを求め保持するパリティビット保持手段と、リード動作時、複数のメモリセル部から読み出された複数のデータの一致比較を行い、不一致となった場合にはパリティビット保持手段に格納されたパリティビットを確認して、正しい方のデータを選択して出力する比較手段とを備えるので、メモリセル手段に不良個所があっても複数のメモリセル部のリードデータとパリティビットにより補正されるので、歩留りを向上させることができ、動的に比較しているの、あらかじめテストして不良個所を特定する必要がなく、テストコストの削減が可能であるという効果がある。また、複数のメモリセル部とパリティビ

ットを用いて補正を行っているの、レーザトリミングなどのH/Wによる変更処理が不要で、コストの削減が可能であり、また、2面のメモリセル部のリードデータを比較すればよいので、多数決選択を行う場合に比べてメモリセル部が少なく済み、チップ面積の削減、チップコストの低減がはかれるなどの効果がある。

【0146】この発明によれば、少なくとも1つのメモリブロックを備えた半導体集積回路装置において、テストパターンとしてアドレスとデータのセットを生成する自己テストパターン生成手段を備えており、メモリブロックは、メモリセル手段と、該メモリセル手段に書き込んだライトデータを一旦保持するデータラッチ手段と、メモリセル手段に書き込まれたデータを読み出してリードデータとライトデータの一致比較を行う比較手段と、不一致が検出するとメモリセル手段の代わりにそのデータを保持する冗長手段と、ライトデータが書き込まれたメモリセル手段の場所を指定するアドレス情報を保持するアドレス保持手段と、メモリセル手段のテスト時に、自己テストパターン生成手段からのアドレスを選択して、メモリセル手段に送出するアドレス入力セクタと、メモリセル手段のテスト時に、自己テストパターン生成手段からのデータを選択して、メモリセル手段に送出するデータ入力セクタとを備えるので、冗長手段による置き換えによって歩留りが向上し、あらかじめ不良個所の特定を不要としてテストコストを削減し、冗長手段の削減を可能としてチップコストを削減し、未使用のアドレスの置き換えが不要となり、レーザトリミングなどのH/Wによる変更処理を不要としてコストの削減を可能にし、データの保持を他のメモリなどへ振り分けてエラー処理などを行うことでシステムの誤動作を回避することが可能となるという効果がある。さらに、このテスト動作をパワーON時やリセット時、また特別に設けたテストモードを実行することによって行えば、オーバーフロー信号の観測によって、あらかじめ準備したアドレス保持手段や冗長手段に不足が生じるか否かを、通常の動作に先立って確認することが可能となり、出荷前のテストが可能となり、その間、トリガ信号のアサートによるテストモードの設定と、オーバーフロー信号／フルフラグ信号の観測のみを行えばよいので、さらなるテストコストの削減をはかることができ、また一致比較はあらかじめ準備された期待値でなくライト／リードデータで行うので、自己テストのための回路が簡単かつ小面積で実現できるなどの効果もある。

【0147】この発明によれば、それぞれ、メモリセル手段、比較手段、冗長手段、アドレス保持手段、アドレス入力セクタ、データ入力セクタを備えた複数のメモリブロックを有しており、複数のメモリブロックをテストする時に、自己テストパターン生成手段はアドレスとデータのセットをテストパターンとして複数のメモリブロックに送出し、各メモリブロックはその冗長手段が

45

メモリセル手段の代わりをするのに必要な空きがない場合フルフラグ信号を出力し、当該装置はさらに複数のメモリブロックからのフルフラグ信号の論理和を演算するOR回路を備えるので、自己テストパターン生成手段などの自己テストのための回路は複数のメモリブロックで共通使用していることから、付加回路規模が少なく済むため、チップコストの削減がはかれ、オーバーフロー信号／フルフラグ信号は複数のメモリブロックの論理和出力となるので、回路信号線の削減が可能となるという効果がある。

【0148】この発明によれば、それぞれ、メモリセル手段、比較手段、冗長手段、アドレス保持手段、アドレス入力セクタ、データ入力セクタを備えた複数のメモリブロックを有しており、複数のメモリブロックをテストする時に、自己テストパターン生成手段はアドレスとデータのセットをテストパターンとして複数のメモリブロックに送出し、各メモリブロックはその冗長手段がメモリセル手段の代わりをするのに必要な空きがなくさらに比較手段による一致比較で不一致となった場合オーバーフロー信号を出力し、当該装置はさらに前記複数のメモリブロックからのオーバーフロー信号の論理和を演算するOR回路を備えるので、自己テストパターン生成手段でテストパターンのみを生成し、一致比較はそれぞれのメモリブロック毎に行っているもので、構成の異なるメモリブロックで自己テストパターン生成手段を共通使用することが可能になるなどの効果がある。

【0149】この発明によれば、メモリセル手段と、該メモリセル手段に書き込まれるライトデータを一時保持するデータラッチ手段と、メモリセル手段に書き込んだデータを読み出して、リードデータとデータラッチ手段に保持されたライトデータの一致比較を行う比較手段と、比較手段による一致比較で不一致となった場合に、メモリセル手段に代わってライトデータを保持する冗長手段と、入力されたアドレスを保持するアドレス保持バッファメモリと、比較手段による一致比較で不一致となった場合に、ライトデータが書き込まれたメモリセル手段の場所を示すアドレスに関する情報を保持するアドレス保持手段と、リード／ライトともにディスエーブルである時、アドレス保持バッファメモリから入力されたアドレスを読み出して、メモリセル手段へ送出するアドレス入力セクタとを有しており、リード／ライトともにディスエーブルである時、比較手段はイネーブルされるので、冗長手段による置き換えで歩留りが向上し、事前に不良個所の特定を不要としてテストコストを削減し、冗長手段の削減を可能としてチップコストを削減し、未使用アドレスの置き換えが不要となり、H/Wによる変更処理を不要としてコストの削減を可能にし、データの保持を他のメモリなどへ振り分けることでシステムの誤動作の回避が可能となるという効果がある。さらに、リード／ライト動作していない周期を利用してリペア処理

46

を行っているので、1ポートのメモリセル部1でも対応可能となり、また一般的に1ポートメモリの方が小面積で実現できるので、チップの小型化、低コストがはかれるなどの効果がある。

【0150】この発明によれば、メモリセル手段と、使用頻度が高いデータ列や、処理時間のかかるデータ列を保持する、メモリセル手段より容量の少ないデータ列保持手段と、データ列保持手段のデータ列が保持されているアドレスを保持しており、使用頻度が高いデータ列や、処理時間のかかるデータ列がアクセスされた場合には、そのデータ列が保持されているアドレスをデータ列保持手段へ送出するアドレス情報保持手段とを備えるので、使用頻度が高いデータ列、もしくは高速のアクセスが要求されるデータ列が保持されているデータ列保持手段は、メモリセル手段よりも容量が小さいことから、データ伝播経路の配線容量が少なく済み、また、データ列保持手段をデータ出力端の近傍に配置することにより配線容量をより少なくすることができ、アクセスの高速化をはかることが可能となり、データ列保持手段をアクセスする場合にはメモリセル手段を非アクセスとすることにより、容量の大きなメモリセル手段の充放電を行わなくて済むため、消費電力の削減も可能となり、さらに、データ列保持手段としてROMを用いた場合、チップ面積を削減できるなどの効果がある。

【図面の簡単な説明】

【図1】 この発明の実施の形態1による半導体集積回路装置に搭載されたメモリブロックの構成を示すブロック図である。

【図2】 実施の形態1におけるメモリブロックの動作を周期毎に説明するための説明図である。

【図3】 実施の形態1におけるメモリブロックのライト動作の手順を示すフローチャートである。

【図4】 この発明の実施の形態2による半導体集積回路装置に搭載されたメモリブロックの構成を示すブロック図である。

【図5】 実施の形態2におけるメモリブロックの動作を周期毎に説明するための説明図である。

【図6】 実施の形態2におけるメモリブロックのライト動作の手順を示すフローチャートである。

【図7】 この発明の実施の形態3による半導体集積回路装置に搭載されたメモリブロックの構成を示すブロック図である。

【図8】 実施の形態3におけるメモリブロックの動作を周期毎に説明するための説明図である。

【図9】 実施の形態3におけるメモリブロックのライト動作の手順を示すフローチャートである。

【図10】 この発明の実施の形態4による半導体集積回路装置に搭載されたメモリブロックの構成を示すブロック図である。

【図11】 実施の形態4における欠陥メモリセルアド



47

レス/ビット情報保持部の内部構成を示すブロック図である。

【図12】 実施の形態4における欠陥メモリセルアドレス/ビット情報保持部の動作手順を示すフローチャートである。

【図13】 この発明の実施の形態5による半導体集積回路装置におけるアドレスデコーダの構成を示すブロック図である。

【図14】 実施の形態5におけるリード/ライトの動作手順を示すフローチャートである。

【図15】 この発明の実施の形態6による半導体集積回路装置の要部を示すブロック図である。

【図16】 実施の形態6におけるフラグ処理の動作手順を示すフローチャートである。

【図17】 この発明の実施の形態7による半導体集積回路装置の要部を示すブロック図である。

【図18】 実施の形態7におけるフラグ処理の動作手順を示すフローチャートである。

【図19】 この発明の実施の形態8による半導体集積回路装置の要部を示すブロック図である。

【図20】 この発明の実施の形態9による半導体集積回路装置の要部を示すブロック図である。

【図21】 この発明の実施の形態10による半導体集積回路装置の要部を示すブロック図である。

【図22】 この発明の実施の形態11による半導体集積回路装置に搭載されたメモリブロックの構成を示すブロック図である。

【図23】 この発明の実施の形態12による半導体集積回路装置の要部を示すブロック図である。

【図24】 この発明の実施の形態13による半導体集積回路装置に搭載されたメモリブロックの構成を示すブロック図である。

48

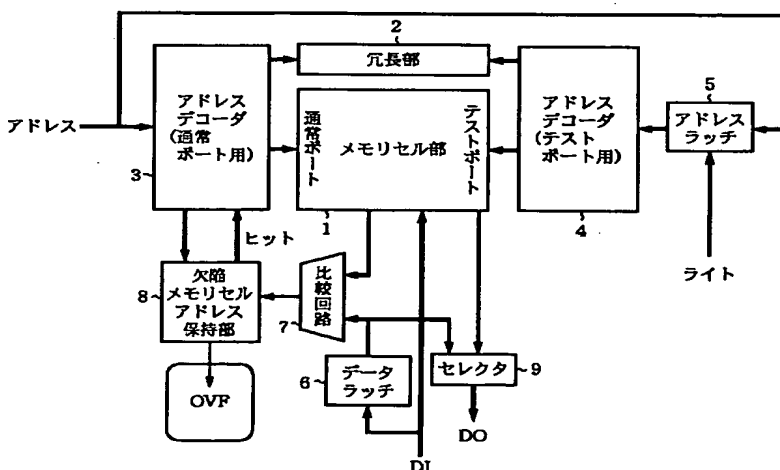
\*【図25】 実施の形態13におけるメモリブロックの動作を周期毎に説明するための説明図である。

【図26】 この発明の実施の形態14による半導体集積回路装置の要部を示すブロック図である。

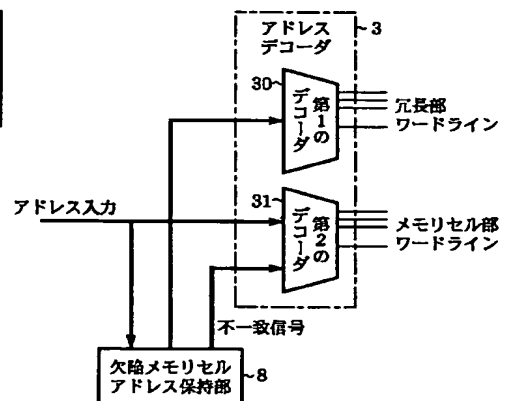
【符号の説明】

1 メモリセル部、2 冗長部、3 アドレスデコーダ、4 アドレスデコーダ、5 アドレスラッチ、6 データラッチ、7 比較回路、8 欠陥メモリセルアドレス保持部、9 セレクタ、10 メモリセル部、11 アドレスデコーダ、12 アドレスデコーダ、13 アドレスラッチ、14 データラッチ、15 比較回路、16 欠陥メモリセルアドレス/ビット情報保持部、17 セレクタ、20 欠陥メモリセルアドレスレジスタ、21 ビット情報レジスタ、22 補正フラグ、23 アドレス比較回路、24 セレクタ、25 OR回路、26 AND回路、30 第1のデコーダ、31 第2デコーダ、40、41メモリブロック、42 データ処理部、43 欠陥メモリセルアドレスレジスタ、44 使用フラグ、45 AND回路、50、51、52 メモリセル部、53、54、55 アドレスデコーダ、56 多数決選択回路、60 メモリセル部、61 アドレスデコーダ、62、63、64 メモリセル、65、66、67 ビットライン、68 多数決選択回路、70、71 メモリセル部、72 アドレスデコーダ、73 パリティビット保持部、74 比較回路、80 自己テストパターン生成部、81 アドレス入力セレクタ、82 データ入力セレクタ、83 アドレス保持バッファメモリ、90、91、92、93 メモリブロック、94 自己テストパターン生成部、95 OR回路、100 メモリセル部、101 アドレスデコーダ、102 データ列保持部、103 アドレス情報保持部、104 セレクタ。

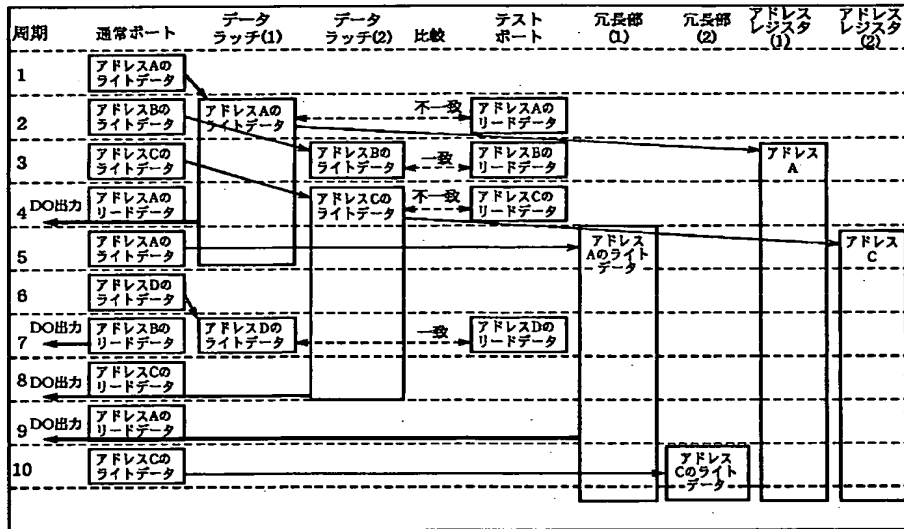
【図1】



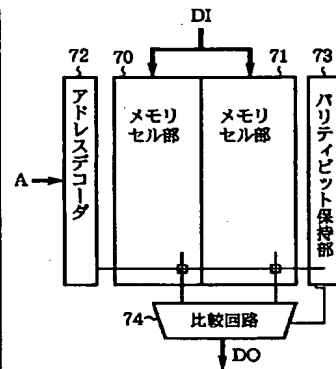
【図13】



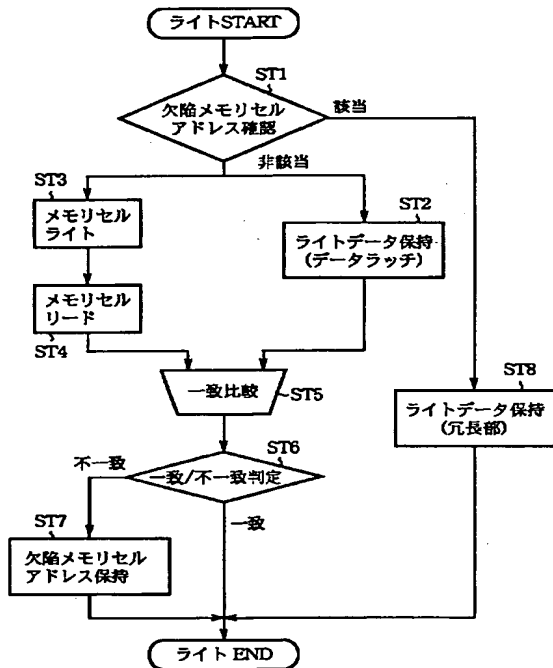
【図2】



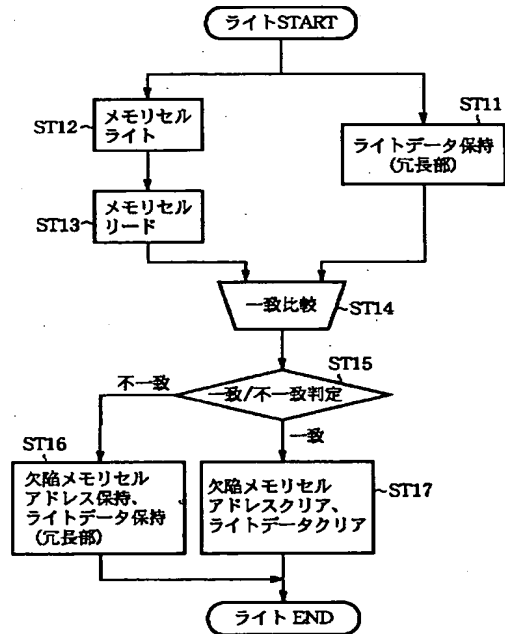
【図21】



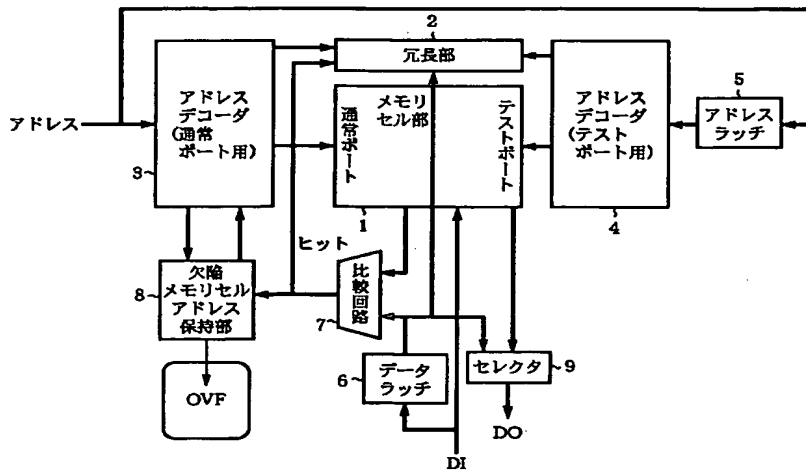
【図3】



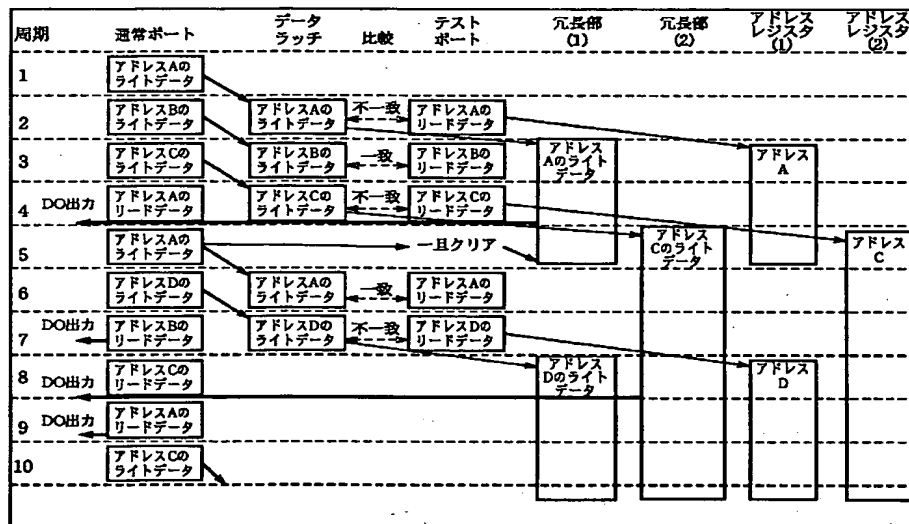
【図6】



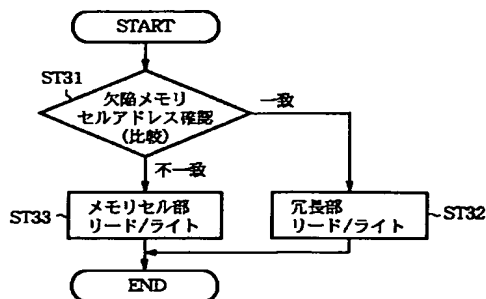
【図4】



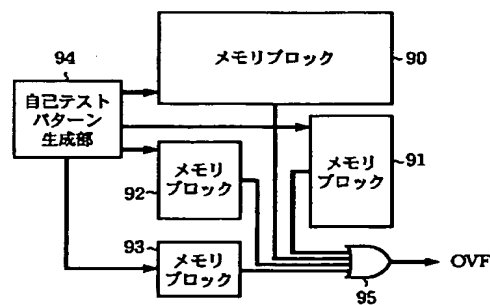
【図5】



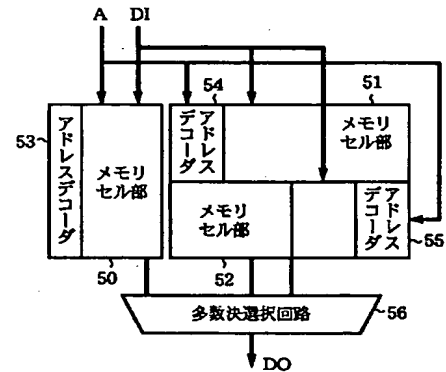
【図14】



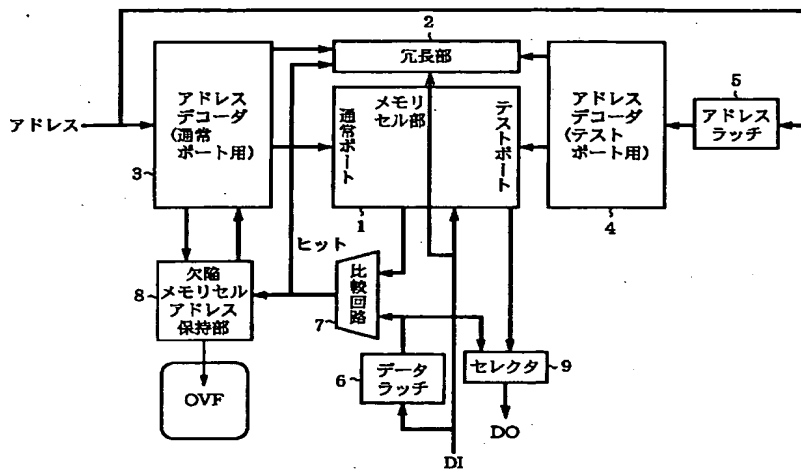
【図23】



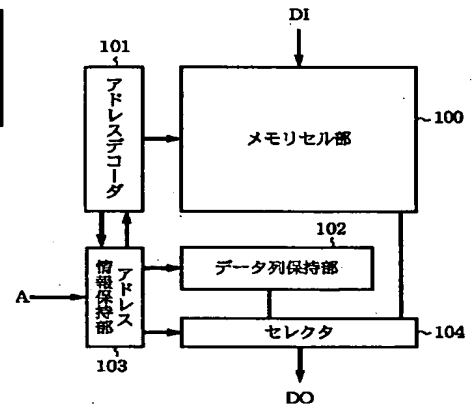
【図19】



【図7】



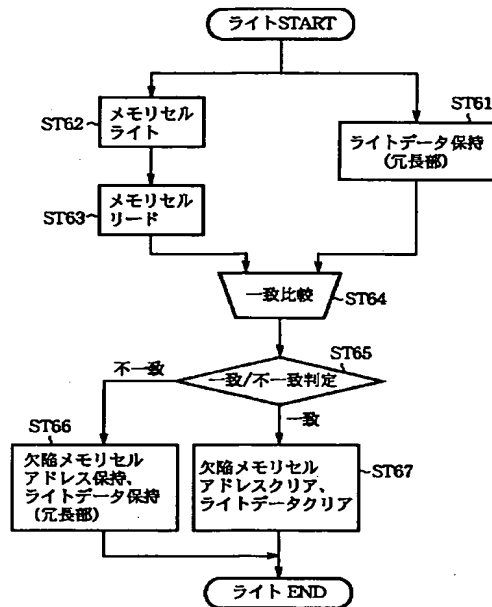
【図26】



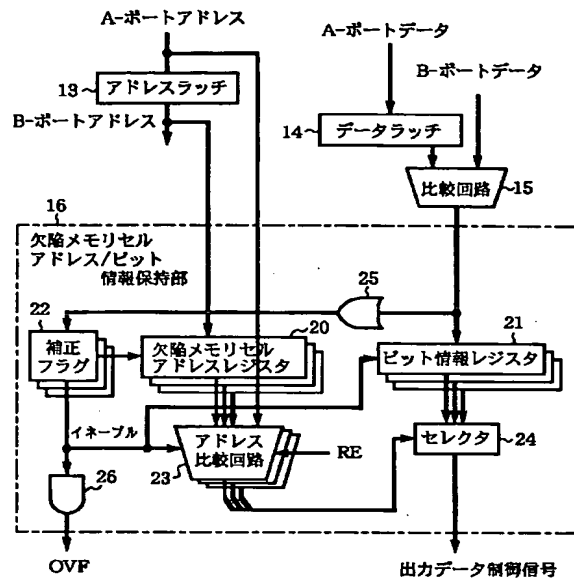
【図8】

周期	通常ポート	データラッチ	比較	テストポート	冗長部 (1)	冗長部 (2)	アドレスレジスタ (1)	アドレスレジスタ (2)
1	アドレスAの ライトデータ		不一致					
2	アドレスBの ライトデータ	アドレスAの ライトデータ	アドレスAの リードデータ	アドレスAの リードデータ	アドレスAの ライトデータ		アドレス A	アドレス B
3	アドレスCの ライトデータ	アドレスBの ライトデータ	一致	アドレスBの リードデータ		アドレスBの ライトデータ		
4	DO出力 アドレスAの リードデータ	アドレスCの ライトデータ	アドレスCの リードデータ					
5	アドレスAの ライトデータ		不一致	一旦クリア		アドレスCの ライトデータ		アドレス C
6	アドレスDの ライトデータ	アドレスAの ライトデータ	一致	アドレスAの リードデータ	アドレスAの ライトデータ		アドレス A	
7	DO出力 アドレスBの リードデータ	アドレスDの ライトデータ	アドレスDの リードデータ	アドレスDの リードデータ	アドレスDの ライトデータ			
8	DO出力 アドレスCの リードデータ		不一致				アドレス D	
9	DO出力 アドレスAの リードデータ							
10	アドレスCの ライトデータ							

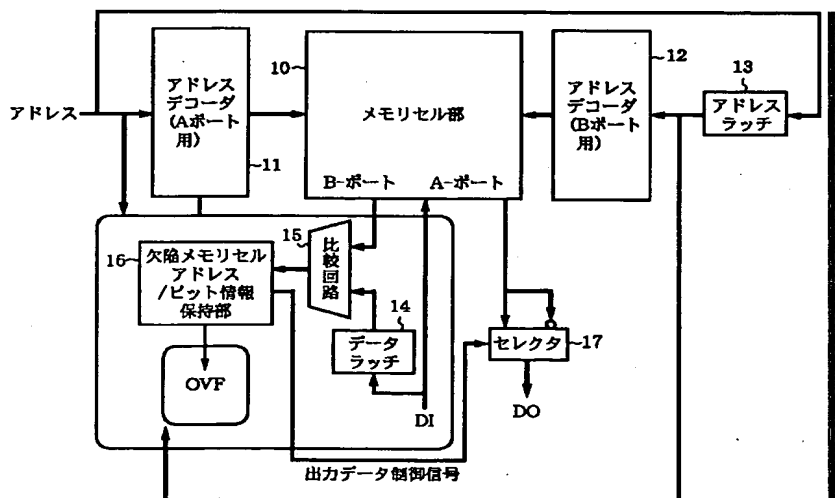
【図9】



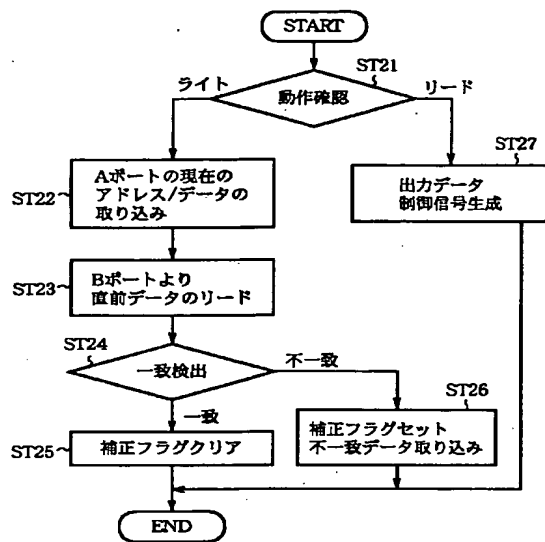
【図11】



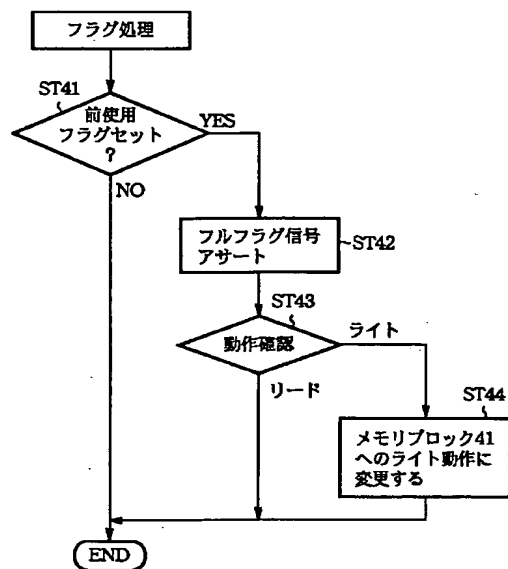
【図10】



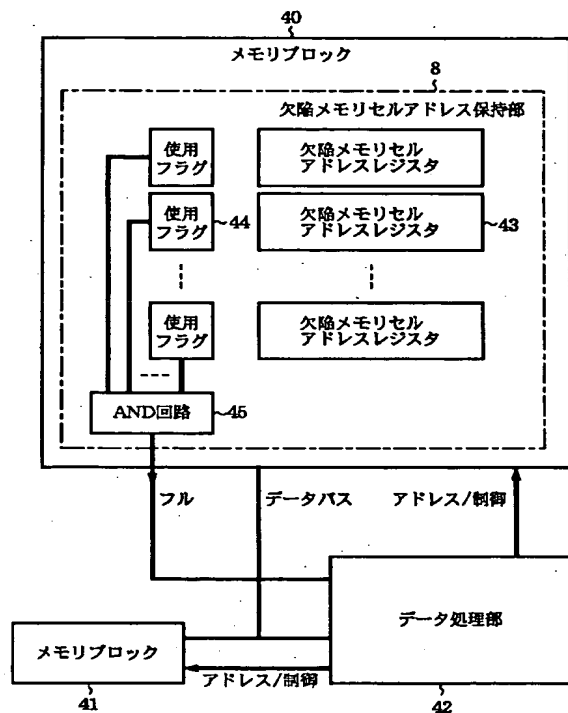
【図12】



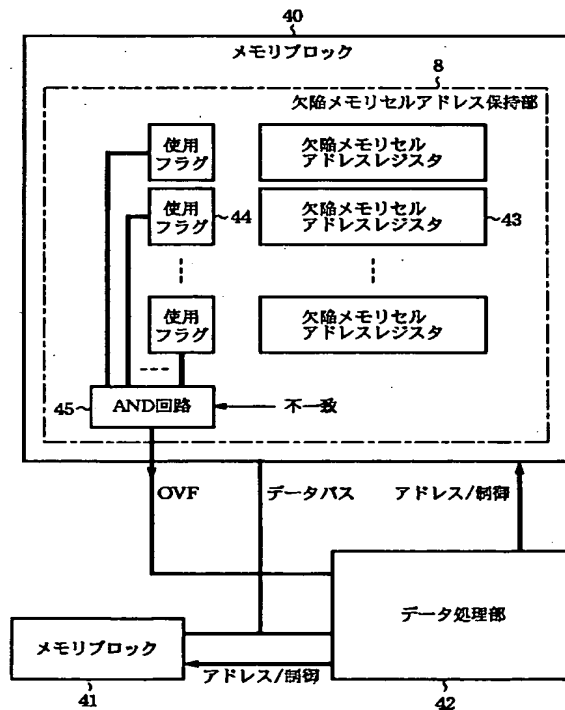
【図16】



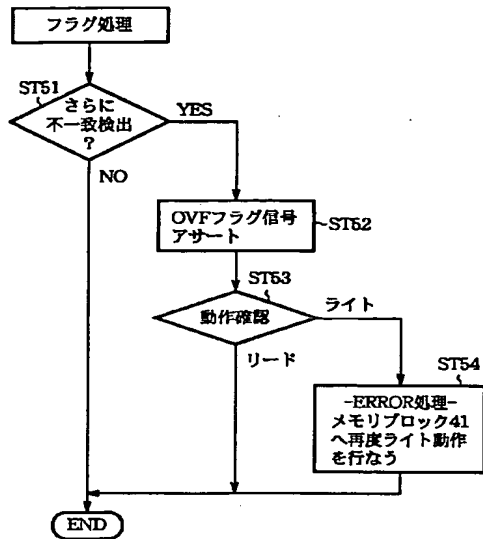
【図15】



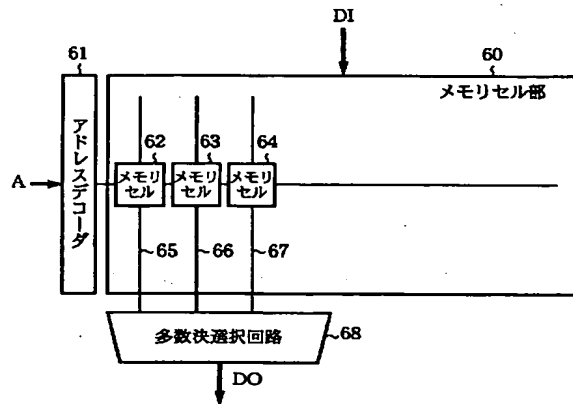
【図17】



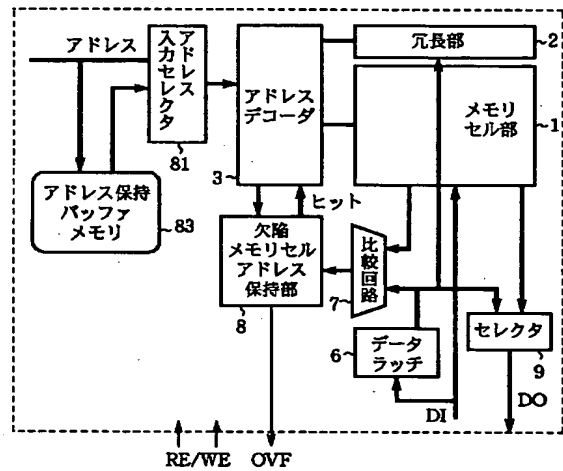
【図18】



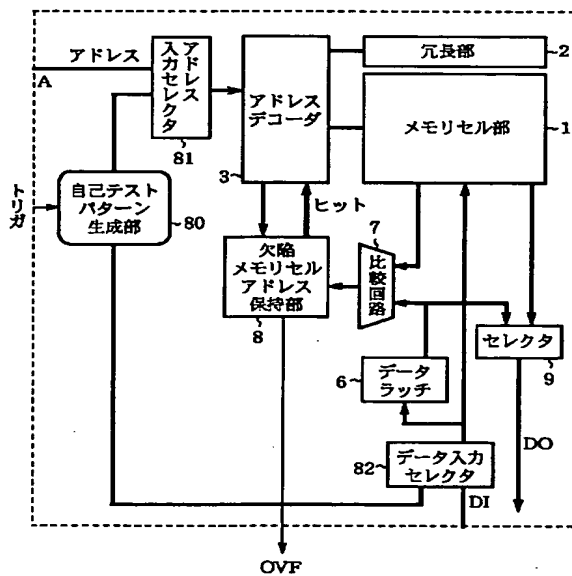
【図20】



【図24】



【図22】



【図25】

周期	動作	テスト動作	バッファメモリ
1	ライトA		A
2		COMP A	A
3	リードA		
4			
5	ライトB		B
6	ライトC		B&C
7		COMP B	B&C
8		COMP C	C
9	リードB		
10	リードC		
11			
12	ライトA		A
13	リードB		A
14		COMP A	A
15	ライトC		C
16	リードA		C
17		COMP C	C